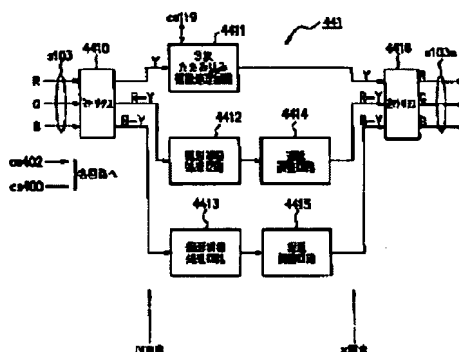


RESOLUTION CONVERSION METHOD, ITS DEVICE, SYSTEM PROVIDED WITH THE DEVICE AND STORAGE MEDIUM**Publication number:** JP11185031**Publication date:** 1999-07-09**Inventor:** TAKAYAMA TADASHI; YAMAMOTO TAKASHI;
ICHIHASHI NOBUHARU**Applicant:** CANON KK**Classification:****- International:** H04N11/20; G06T1/00; G06T3/40; H04N1/387;
H04N1/46; H04N1/60; H04N9/64; H04N11/06;
G06T1/00; G06T3/40; H04N1/387; H04N1/46;
H04N1/60; H04N9/64; (IPC1-7): G06T3/40; G06T1/00;
H04N1/387; H04N1/46; H04N1/60; H04N9/64;
H04N11/20**- European:** G06T3/40B**Application number:** JP19970355465 19971224**Priority number(s):** JP19970355465 19971224

Report a data error here

Abstract of JP11185031

PROBLEM TO BE SOLVED: To provide a resolution conversion device capable of realizing excellent image quality with of a small scale circuit. **SOLUTION:** A first color space conversion means 4410 converts RGB image data s103 into image data of luminance data Y and color difference data R-Y and R-B. A resolution conversion means 4411 performs conversion of a picture element number by a tertiary convolution interpolation method to the luminance data Y, while other resolution conversion means 4412 and 4413 perform conversion of the picture element number by a linear interpolation method to the color difference data R-Y and R-B. A second color space conversion means 4416 converts the image data after the conversion of the picture element number into the RGB image data s103a.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平11-185031

(43)公開日 平成11年(1999)7月9日

(51)Int.Cl. ⁶	識別記号	F I
G 0 6 T 3/40		C 0 6 F 15/66 3 5 5 C
1/00		H 0 4 N 1/387 1 0 1
H 0 4 N 1/387	1 0 1	9/64 Z
1/60		11/20
1/46		C 0 6 F 15/66 3 1 0
審査請求 未請求 請求項の数12 O L (全 43 頁) 最終頁に続く		

(21)出願番号 特願平9-355465

(22)出願日 平成9年(1997)12月24日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 高山 正

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 山本 高司

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 市橋 信春

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

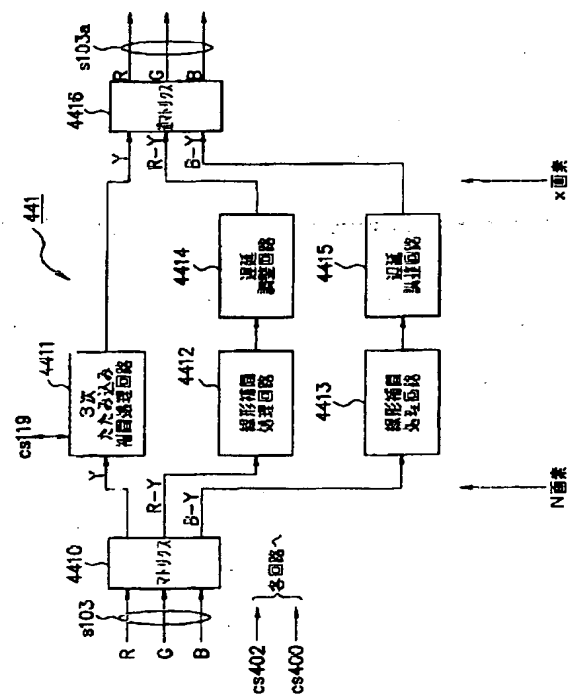
(74)代理人 弁理士 國分 孝悦

(54)【発明の名称】 解像度変換方法、解像度変換装置、その装置を含むシステム、及び記憶媒体

(57)【要約】

【課題】 良好な画質を保ちつつ、小規模な回路でこれを実現することが可能な解像度変換装置を提供する。

【解決手段】 第1の色空間変換手段4410は、RGB画像データs103を、輝度データY、色差データR-Y及びR-Bの画像データに変換する。解像度変換手段4411は、輝度データYに対して3次畳み込み補間法による画素数の変換を行い、他の解像度変換手段4412、4413は、色差データR-Y及びR-Bに対して線形補間法による画素数の変換を行う。第2の色空間変換手段4416は、その画素数の変換後の画像データを、RGB画像データs103aに変換する。



【特許請求の範囲】

【請求項1】 複数の色信号を含む任意の画像データを、その複数の色信号の色空間とは異なる第1の色空間に変換して、複数の色信号を含む第1の画像データを得る第1の色空間変換ステップと、

上記第1の色空間変換ステップで得られた上記第1の画像データの各色信号の画素数を、上記任意の画素データの各色信号の画素数とは異なる画素数に各々変換する複数の解像度変換ステップと、

上記解像度変換ステップで画素数の変換が行われた上記第1の画像データを、上記第1の色空間とは異なる第2の色空間に変換して、複数の色信号を含む第2の画像データを得る第2の色空間変換ステップとを含む解像度変換方法であって、

上記複数の解像度変換ステップのうち少なくとも1つの解像度変換ステップは、他の解像度変換ステップとは異なる変換方式で、画素数の変換を行うステップを含むことを特徴とする解像度変換方法。

【請求項2】 上記第1の色空間変換ステップは、輝度と色差で表現される上記第1の色空間への変換を行うステップを含み、

上記第2の色空間変換ステップは、三原色で表現される上記第2の色空間への変換を行うステップを含むことを特徴とする請求項1記載の解像度変換方法。

【請求項3】 上記複数の解像度変換ステップのうち少なくとも1つの解像度変換ステップは、色空間に対する視覚特性を考慮して選択された他の解像度変換ステップでの変換方式とは異なる方式で画素数の変換を行うステップを含むことを特徴とする請求項1記載の解像度変換方法。

【請求項4】 上記複数の解像度変換ステップのうち少なくとも1つの解像度変換ステップは、3次畳み込み補間法を用いた変換方式で画素数の変換を行うステップを含み、

他の解像度変換ステップのうち少なくとも1つの解像度変換ステップは、線形補間法を用いた変換方式で画素数の変換を行うステップを含むことを特徴とする請求項1記載の解像度変換方法。

【請求項5】 上記複数の解像度変換ステップのうち少なくとも1つの解像度変換ステップは、FIR補間法を用いた変換方式で画素数の変換を行うステップを含み、他の解像度変換ステップのうち少なくとも1つの解像度変換ステップは、IIR補間法を用いた変換方式で画素数の変換を行うステップを含むことを特徴とする請求項1記載の解像度変換方法。

【請求項6】 複数の色信号を含む任意の画像データを、その複数の色信号の色空間とは異なる第1の色空間に変換して、複数の色信号を含む第1の画像データを得る第1の色空間変換手段と、

上記第1の色空間変換手段で得られた上記第1の画像デ

ータの各色信号の画素数を、上記任意の画素データの各色信号の画素数とは異なる画素数に各々変換する複数の解像度変換手段と、

上記解像度変換手段で画素数の変換が行われた上記第1の画像データを、上記第1の色空間とは異なる第2の色空間に変換して、複数の色信号を含む第2の画像データを得る第2の色空間変換手段とを備える解像度変換装置であって、

上記複数の解像度変換手段のうち少なくとも1つの解像度変換手段は、他の解像度変換手段とは異なる変換方式で、画素数の変換を行うことを特徴とする解像度変換装置。

【請求項7】 上記第1の色空間変換手段は、輝度と色差で表現される上記第1の色空間への変換を行い、上記第2の色空間変換手段は、三原色で表現される上記第2の色空間への変換を行うことを特徴とする請求項6記載の解像度変換装置。

【請求項8】 上記複数の解像度変換手段のうち少なくとも1つの解像度変換手段は、色空間に対する視覚特性を考慮して選択された他の解像度変換ステップでの変換方式とは異なる方式で画素数の変換を行うことを特徴とする請求項6記載の解像度変換装置。

【請求項9】 上記複数の解像度変換手段のうち少なくとも1つの解像度変換手段は、3次畳み込み補間法を用いた変換方式で画素数の変換を行い、

他の解像度変換手段のうち少なくとも1つの解像度変換手段は、線形補間法を用いた変換方式で画素数の変換を行うことを特徴とする請求項6記載の解像度変換装置。

【請求項10】 上記複数の解像度変換手段のうち少なくとも1つの解像度変換手段は、FIR補間法を用いた変換方式で画素数の変換を行い、

他の解像度変換手段のうち少なくとも1つの解像度変換手段は、IIR補間法を用いた変換方式で画素数の変換を行うことを特徴とする請求項6記載の解像度変換装置。

【請求項11】 請求項6～10の何れかに記載の解像度変換装置を含むことを特徴とするシステム。

【請求項12】 請求項1～5の何れかに記載の解像度変換方法の処理ステップをコンピュータが読出可能に格納したことを特徴とする記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、表示装置や画像処理装置等での画像データの補間処理に適用される解像度変換方法、解像度変換装置、該解像度変換装置を含むシステム、及び該解像度変換方法を実施するための処理ステップをコンピュータが読出可能に格納した記憶媒体に関するものである。

【0002】

【従来の技術】従来より、パーソナルコンピュータ（以

下、PCと言う)やワークステーション(以下、WSと言う)といったホストコンピュータの表示装置として、ラスタスキャン型の所謂CRT表示装置が広く使用されている。そして、昨今においては、省スペース、省エネルギー及びエルゴノミクス等の点から、液晶パネルやプラズマディスプレイといったフラットパネル表示装置が注目されている。

【0003】これらホストコンピュータとCRT表示装置の間には、ビデオ信号、すなわちアナログの画像データと垂直及び水平同期信号、或いはこれらの複合同期信号が組み合わされた信号が授受されるが、このビデオ信号の種類には非常に多くの仕様があり、特にPCでは解像度の異なる複数のビデオ信号を扱っている。例えば、IBM社のPC互換機等では、320画素×200ライン(以下同じ)、640×400、720×400、640×350、640×480、800×600、1024×768、1280×1024等の表示が可能なものがある。

【0004】これに対し、CRT表示装置には、所謂マルチシンクCRT表示装置と呼ばれるものが存在し、これは、入力ビデオ信号の同期信号の状態を検出し、走査線の駆動周期と振幅をビデオ信号の同期信号に合わせることで、各ビデオ信号に応じた画像を表示するのである。この際、予めいくつかのホストコンピュータに関しては、ビデオ信号或いはその同期信号の状態を測定し、その測定結果を装置内のメモリに表示パラメータとして記憶しておき、入力ビデオ信号の同期信号の状態を検出した際に、その検出結果によりホストコンピュータが特定できた場合に、メモリ内の表示パラメータを使用して良好な表示を行うようにしている。

【0005】一方、現在の液晶パネルやプラズマディスプレイといったドットマトリクスディスプレイでは、その表示制御をデジタル信号による制御としたほうが向いているため、入力されたアナログ画像信号をデジタル信号に変換し、その後表示を行うという方法が取られることが多い。この際、水平方向のサンプリング周波数が入力画像信号のドットクロックの整数倍になっていないと、ドットクロックの残留キャリア成分により強い折り返しノイズが発生する為、ドットマトリクスディスプレイでは、ディスプレイの画素数に対応した固定の解像度で表示するのが一般的である。したがって、様々な解像度のビデオ信号を、固定解像度のドットマトリクスディスプレイに表示させる、マルチシンクを実現するためには、補間又は間引きによる画面の拡大及び縮小、すなわち解像度の変換が必要になる。この解像度変換にて、現在一般的に用いられている補間方法としては、最近隣内挿法、線形補間法、3次畳みこみ内挿法等がある。

【0006】

【発明が解決しようとする課題】しかしながら、上述のような補間方法を用いて解像度の変換を行うと、補間フ

ィルタとして良好な特性を得ようとすれば回路規模が大きくなり、小規模な回路で実現しようとすれば良好な補間特性を得るのが困難である、という問題があった。

【0007】そこで、本発明は、上記の欠点を除去するために成されたもので、良好な画質を保ちつつ、小規模な回路でこれを実現することが可能な解像度変換方法、解像度変換装置、該解像度変換装置を含むシステム、及び該解像度変換方法を実施するための処理ステップをコンピュータが読出可能に格納した記憶媒体を提供することを目的とする。

【0008】

【課題を解決するための手段】斯かる目的下において、第1の発明は、複数の色信号を含む任意の画像データを、その複数の色信号の色空間とは異なる第1の色空間に変換して、複数の色信号を含む第1の画像データを得る第1の色空間変換ステップと、上記第1の色空間変換ステップで得られた上記第1の画像データの各色信号の画素数を、上記任意の画素データの各色信号の画素数とは異なる画素数に各々変換する複数の解像度変換ステップと、上記解像度変換ステップで画素数の変換が行われた上記第1の画像データを、上記第1の色空間とは異なる第2の色空間に変換して、複数の色信号を含む第2の画像データを得る第2の色空間変換ステップとを含む解像度変換方法であって、上記複数の解像度変換ステップのうち少なくとも1つの解像度変換ステップは、他の解像度変換ステップとは異なる変換方式で、画素数の変換を行うステップを含むことを特徴とする。

【0009】第2の発明は、上記第1の発明において、上記第1の色空間変換ステップは、輝度と色差で表現される上記第1の色空間への変換を行うステップを含み、上記第2の色空間変換ステップは、三原色で表現される上記第2の色空間への変換を行うステップを含むことを特徴とする。

【0010】第3の発明は、上記第1の発明において、上記複数の解像度変換ステップのうち少なくとも1つの解像度変換ステップは、色空間に対する視覚特性を考慮して選択された他の解像度変換ステップでの変換方式とは異なる方式で画素数の変換を行うステップを含むことを特徴とする。

【0011】第4の発明は、上記第1の発明において、上記複数の解像度変換ステップのうち少なくとも1つの解像度変換ステップは、3次畳み込み補間法を用いた変換方式で画素数の変換を行うステップを含み、他の解像度変換ステップのうち少なくとも1つの解像度変換ステップは、線形補間法を用いた変換方式で画素数の変換を行うステップを含むことを特徴とする。

【0012】第5の発明は、上記第1の発明において、上記複数の解像度変換ステップのうち少なくとも1つの解像度変換ステップは、FIR補間法を用いた変換方式で画素数の変換を行うステップを含み、他の解像度変換

ステップのうち少なくとも1つの解像度変換ステップは、IIR補間法を用いた変換方式で画素数の変換を行うステップを含むことを特徴とする。

【0013】第6の発明は、複数の色信号を含む任意の画像データを、その複数の色信号の色空間とは異なる第1の色空間に変換して、複数の色信号を含む第1の画像データを得る第1の色空間変換手段と、上記第1の色空間変換手段で得られた上記第1の画像データの各色信号の画素数を、上記任意の画素データの各色信号の画素数とは異なる画素数に各々変換する複数の解像度変換手段と、上記解像度変換手段で画素数の変換が行われた上記第1の画像データを、上記第1の色空間とは異なる第2の色空間に変換して、複数の色信号を含む第2の画像データを得る第2の色空間変換手段とを備える解像度変換装置であって、上記複数の解像度変換手段のうち少なくとも1つの解像度変換手段は、他の解像度変換手段とは異なる変換方式で、画素数の変換を行うことを特徴とする。

【0014】第7の発明は、上記第6の発明において、上記第1の色空間変換手段は、輝度と色差で表現される上記第1の色空間への変換を行い、上記第2の色空間変換手段は、三原色で表現される上記第2の色空間への変換を行うことを特徴とする。

【0015】第8の発明は、上記第6の発明において、上記複数の解像度変換手段のうち少なくとも1つの解像度変換手段は、色空間に対する視覚特性を考慮して選択された他の解像度変換ステップでの変換方式とは異なる方式で画素数の変換を行うことを特徴とする。

【0016】第9の発明は、上記第6の発明において、上記複数の解像度変換手段のうち少なくとも1つの解像度変換手段は、3次畳み込み補間法を用いた変換方式で画素数の変換を行い、他の解像度変換手段のうち少なくとも1つの解像度変換手段は、線形補間法を用いた変換方式で画素数の変換を行うことを特徴とする。

【0017】第10の発明は、上記第6の発明において、上記複数の解像度変換手段のうち少なくとも1つの解像度変換手段は、FIR補間法を用いた変換方式で画素数の変換を行い、他の解像度変換手段のうち少なくとも1つの解像度変換手段は、IIR補間法を用いた変換方式で画素数の変換を行うことを特徴とする。

【0018】第11の発明は、請求項6～10の何れかに記載の解像度変換装置を含むシステムであることを特徴とする。

【0019】第12の発明は、請求項1～5の何れかに記載の解像度変換方法の処理ステップをコンピュータが読出可能に格納した記憶媒体であることを特徴とする。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について、図面を用いて詳細に説明する。

【0021】本発明に係る解像度変換方法は、例えば、

図1に示すような表示装置100により実施され、この表示装置100は、本発明に係る解像度変換装置を適用したものである。

【0022】すなわち、表示装置100は、NTSC、PAL、SECAM等のコンポジットビデオ信号、輝度信号と色差信号が分離されたコンポーネントビデオ信号、そして、PCやWS等のアナログ画像信号が入力可能になされている。

【0023】そこで、まず、上記図1において、11は、PC、WS等のホストコンピュータからのアナログ画像信号の処理回路である。この処理回路（以下、PC/WS処理回路とも言う）11は、同期信号分離回路101と、同期信号測定回路102と、A/D変換回路103と、クロック発生回路104と、補間処理回路105と、オンスクリーンディスプレイ（OSD）切替回路106とを備えている。

【0024】以下、PC/WS処理回路11の各回路について説明する。

【0025】（同期信号分離回路101）

【0026】同期信号分離回路101には、ホストコンピュータ等からのRGB画像信号と、コンポジットシンク或いはセパレートシンク又はシンクオングリーン等の同期信号を含むビデオ信号s101が入力され、同期信号分離回路101は、そのビデオ信号s101を画像信号s102と同期信号に分離する。また、同期信号分離回路101は、分離して得た同期信号から、負極性の水平/垂直同期信号cs101と同期信号極性判別信号cs102を生成する。

【0027】そして、同期信号分離回路101は、画像信号s102をA/D変換部103に供給し、また、水平/垂直同期信号cs101を、同期信号測定回路102、クロック発生回路104、補間処理回路105及びシステム制御回路191に供給する。さらに、同期信号分離回路101は、同期信号極性判別信号cs102を、同期信号測定部102及びシステム制御回路191に供給する。ここで、同期信号極性判別信号cs102とは、同期信号分離回路101に対して入力されたビデオ信号s101に含まれる同期信号の極性を示すものである。

【0028】（同期信号測定回路102）

【0029】同期信号測定回路102は、同期信号分離回路101からの水平/垂直同期信号cs101及び同期信号極性判別信号cs102により、後述のようにして得られた測定結果を、制御バスcs119を介してシステム制御回路191に供給する。

【0030】すなわち、同期信号測定回路102は、例えば、図2に示すように、基準クロック発生回路201と、カウンタ202～204及び211～213と、FIFO205及び206と、レジスタ214及び221と、コンパレータ222と、読出/書込制御回路（以

下、R/W制御回路と言う) 230とを備えている。

【0031】基準クロック発生回路201は、水平同期信号(以下、HD信号と言う)cs201及び垂直同期信号(以下、VD信号と言う)cs202の周期の測定動作に必要な十分に高い周波数のクロックcs203及びcs204を発生する。

【0032】カウンタ202は、HD信号の周期測定用のカウンタであり、HD信号の立ち下がりから次のHD信号の立ち下がりまでの期間、クロック発生器201からのクロックcs203をカウントする。このカウンタ202でのカウント結果cs205は、PHD1として、HD信号の立ち下がり同期して、後述のようにFIFO205に書き込まれる。

【0033】カウンタ203は、HD信号のブランキング期間THD(負極性であるので、HD信号のレベルが"0")の測定を行うカウンタであり、HD信号の立ち下がりから次のHD信号の立ち下がりまでの期間、クロック発生器201からのクロックcs203をカウントする。このカウンタ203のカウント結果cs206は、THDとして、HD信号の立ち下がり同期して、後述のようにFIFO205に書き込まれる。

【0034】カウンタ204は、HD信号の周期測定用のカウンタであり、HD信号の立ち下がりから次のHD信号の立ち上がりまでの期間、クロック発生器201からのクロックcs203をカウントする。このカウンタ204のカウント結果cs207は、PHD2として、HD信号の立ち下がり同期して、後述のようにFIFO206に書き込まれる。

【0035】FIFO205は、上述のPHD1、THD及びVD値のデータを1VD期間以上にわたって記憶し、これらのデータをR/W制御回路230を介して制御バスcs119に対して出力する。

【0036】FIFO206は、上述のPHD2を1VD期間以上にわたって記憶し、R/W制御回路230を介して制御バスcs119に対して出力する。

【0037】カウンタ211は、VD信号1周期中のHD信号の数を測定するためのカウンタであり、VD信号の立ち上がりから次のVD信号の立ち上がりまでの1周期期間、HD信号cs201をカウントする。このカウンタ211のカウント結果cs211は、NHDとして、VD信号の立ち上がり同期して、後述のようにレジスタ214に書き込まれる。

【0038】カウンタ212は、VD信号の同期測定用のカウンタであり、VD信号の立ち下がりから次のVD信号の立ち下がりまでの期間、基準クロック発生器201からのクロックcs204をカウントする。このカウンタ212のカウント結果cs212は、PVDとして、VD信号の立ち上がり同期して、後述のようにレジスタ214に書き込まれる。

【0039】カウンタ213は、VD信号のブランキン

グ期間TVDの測定を行うカウンタであり、VD信号の立ち下がりから次のVD信号の立ち下がりまでの期間、クロック発生器201からのクロックcs204をカウントする。このカウンタ213のカウント結果cs213は、TVDとして、VD信号の立ち上がり同期して、後述のようにレジスタ214に書き込まれる。

【0040】レジスタ214は、上述のNHD、PVD、TVD及び極性判別信号cs102をVD信号に同期して記憶し、これらの値の書き込みが終了したことに応じて、R/W制御回路230を介して制御バスcs119に対して出力する。

【0041】レジスタ221は、HD数比較用レジスタであり、比較したいHD信号の数を制御バスcs119及びR/W制御回路230を介して記憶する。

【0042】コンパレータ222は、カウンタ211のカウント値(cs211)と、レジスタ221の出力値とを比較し、一致した場合に、出力信号(制御信号)cs222をアクティブにして、R/W制御回路230を介して制御バスcs119に対して出力する。

【0043】R/W制御回路230は、FIFO205、206、レジスタ214、HD数比較用のレジスタ221及びコンパレータ222と、制御バスcs119との間のデータの伝送を制御する。

【0044】上述のような同期信号測定回路102において、本実施の形態では、FIFO205及び206の内容は各々図3及び図4のようになる。

【0045】(A/D変換回路103)

【0046】A/D変換回路103は、例えば、図5に示すように、A/D変換回路330とラッチ回路331を備えている。このA/D変換回路103において、A/D変換回路330は、同期信号分離回路101で得られた画像信号(同期信号分離後のアナログRGB信号)s102を、後述するクロック発生回路104からのドットクロック信号cs103によりサンプリングしてデジタル信号(デジタル画像データ)に変換する。ラッチ回路331は、クロック発生部104からのドットクロック信号cs103に応じて、A/D変換回路330で得られたデジタル画像データをデジタルRGB画像データs103として出力する。

【0047】(クロック発生回路104)

【0048】クロック発生回路104は、上述のような画像信号s102のサンプリング用のクロック、すなわちドットクロックを発生する。

【0049】具体的には、クロック発生回路104は、例えば、図6に示すように、位相比較器305と、チャージポンプ型ループフィルタ306~308(以下、単にフィルタ306とも言う)と、電圧制御発振器(VCO)310と、分周器304とを基本的な構成とするPLL回路で構成されている。

【0050】この図6に示すクロック発生回路104に

において、制御回路317は、制御バスcs119を介してシステム制御回路191と通信を行うと共に、クロック発生回路104の動作を制御するための制御データを記憶するものである。

【0051】I/Fレベル制御回路301には、同期信号分離回路101で得られた水平/垂直同期信号cs101（ビデオ信号s101のHD信号）が供給される。I/Fレベル制御回路301は、制御回路317からの制御信号cs301に応じて、供給されたHD信号を、同期分離回路101に対して信号を供給したインターフェイス、例えばTTLやPECL等に適したレベルに変換し、極性反転回路302に供給する。

【0052】極性反転回路302は、後段の位相比較回路305にて位相比較動作を行う際、HD信号の立ち上がり及び立ち下りの両方のエッジで位相比較動作が可能となるように入力同期信号の極性を制御するものであり、制御回路317からの制御信号cs302に応じて、I/Fレベル制御回路301からのHD信号の極性を切り換えて遅延回路303に供給する。

【0053】遅延回路303には、極性反転回路302からのHD信号と、後述するプログラマブルカウンタ312からのドットクロック信号s303とが供給される。遅延回路303は、供給されたHD信号に対して、ドットクロック1周期分以上の遅延調査をプログラマブルに行う。このときの遅延時間は、制御回路317の制御信号cs303に応じて変更可能である。

【0054】ここで、上述したように、入力されたビデオ信号s101は、同期信号と画像信号s102に分離される。そして、これらの信号は各々異なる処理系に入力されるため、A/D変換回路103に入力される画像信号s102と、このクロック発生回路104が発生するA/D変換サンプリングクロックとの間で位相差が生じてしまう。そこで、このクロック発生回路104では、遅延回路303により、画像信号s102と、A/D変換サンプリングクロックとの位相を調整する。このような遅延回路303で位相の調整が施されたHD信号は、基準HD信号s302として、位相比較回路305及び出力レベル切り換え回路316に供給される。

【0055】分周器304は、プログラマブルカウンタ312からのドットクロック信号s303を、システム制御回路191により設定された分周比で分周する。このときの分周比は、制御回路317の制御信号cs304により制御される。

【0056】位相比較器305は、遅延回路303で得られた基準HD信号s302と、分周器304からの出力信号s304との位相比較を行う。そして、位相比較器305は、その比較の結果得られた位相差に応じた電圧の信号をフィルタ306に供給する。また、位相比較器305は、位相ロック状態であるか否かを示す位相ロック信号cs314を、制御回路317、制御バスcs

119を介してシステム制御回路191に出力する。

【0057】チャージポンプ型ループフィルタは、チャージポンプ306と、ローパスフィルタ307及び308とからなる。このチャージポンプ型ループフィルタは、位相比較器305の出力信号中の高周波成分と雑音を除去し、直流電圧をVCO310に供給するものであり、チャージポンプ電流を以下のように可変することによりPLLの応答速度を制御するものである。

【0058】すなわち、制御回路317は、システム制御回路191が設定した値を制御信号cs307としてD/A変換器309に対して出力し、D/A変換器309は、制御信号cs307をそれに対応する電流に変換してチャージポンプ306に供給することで、チャージポンプ電流を制御する。また、PLLは、抵抗とコンデンサからなり、この応答特性は、所定のフィルタ係数を有するフィルタ307又は308により決定される。

【0059】このようにして、本実施の形態では、位相比較器305の出力信号のゲインとフィルタ定数を調整することにより、PLLの応答速度を制御可能に構成している。

【0060】VCO310は、フィルタ306の出力信号の電圧に応じた周波数を有する信号を出力する。また、VCO310は、D/A変換器311の出力信号によってフリーラン周波数が決定される。すなわち、制御回路317は、システム制御回路191が設定した周波数に応じた値を制御信号cs308としてD/A変換器311に供給し、VCO310は、このD/A変換器311の出力電圧に応じた周波数で自走発振する。

【0061】プログラマブルカウンタ312は、VCO310の出力信号をシステム制御回路191が設定した分周比で分周する回路であり、制御回路317からの制御信号cs309によりその分周比が設定される。

【0062】このプログラマブルカウンタ312により、VCO310の可変周波数レンジよりも低い周波数の信号を得ることが可能となり、結果としてPLLのロックレンジを広げることができる。また、逆にVCO310の可変周波数レンジを狭くすることができるので、VCO310の発振動作の安定性が向上する。このようなプログラマブルカウンタ312の出力信号は、ドットクロック信号s303として、上述した分周器304及び遅延回路303に供給されると共に、遅延回路313に供給される。

【0063】遅延回路313は、以下のような理由から、プログラマブルカウンタ312の出力であるドットクロック信号s303と、遅延回路302の出力である基準HD信号s302との位相調整を行うものである。

【0064】すなわち、クロック発生回路104におけるPLL回路は、基準HD信号s302と、分周器304の出力信号s304との位相差をロックする、換言すれば、基準HD信号s302の周波数と、分周器304

の出力信号s304の周波数とを等しくするものであり、その位相差を調整するものではない。したがって、基準HD信号s302とドットクロック信号s303には位相差が生じている。このため、遅延回路313は、制御回路317の制御信号cs310に応じて、プログラマブルカウンタ312の出力であるドットクロック信号s303を遅延して、基準HD信号s302とドットクロック信号s303の間の位相差を調整する。

【0065】このような遅延回路313の出力信号は、レベル切換回路314に供給される。

【0066】レベル切換回路314及び316は、TTLやECL、PECL等、クロック供給先に応じて出力レベルを変換するものである。

【0067】レベル切換回路314は、遅延回路313で位相差が調整されたドットクロック信号s303を、ECLとTTLに適したレベルに変換する。このレベル切換回路314の出力信号は、A/D変換回路103及び補間処理回路105に供給される。

【0068】また、レベル切換回路316は、遅延回路303で位相差が調整された基準HD信号s302を、ECLとTTLに適したレベルに変換する。このレベル切換回路316の出力信号は、補間処理回路105に供給される。

【0069】ここで、つぎの補間処理回路105の説明を行う前に、入力されるビデオ信号s101の測定、機種の特定、及び表示モードの決定の方法について説明する。

【0070】図7及び図8は、一般的なビデオ信号のタイミング波形を示している。

【0071】本実施の形態で用いる表示部15の表示パネル、例えば、ドットマトリクスパネルに、画像を良好な画質で表示するためには、上記図7及び図8に示すように、上述した同期信号測定回路102内でのPHD1（HD信号の周期測定用のカウンタ202のカウンタ結果cs205）、PHD2（HD信号の周期測定用のカウンタ204のカウンタ結果cs207）、PVD（VD信号の同期測定用のカウンタ212のカウンタ結果cs212）、VD信号、1VD中のHD信号の数、同期パルス幅THD（HD信号のブランキング期間）、及びVHDといった実際に供給されるビデオ信号に含まれる同期信号から直接得ることのできるパラメータの他、水平/垂直表示開始時間、フロントポーチ、バックポーチ、そして、ビデオ信号に含まれる画像信号のドットクロックといったパラメータが必要になってくる。

【0072】そこで、本実施の形態においては、メモリ194内に、接続が予想されるホストコンピュータの出力であるビデオ信号s101の上述したような各パラメータを予め測定したものを、表示モードテーブルとして記憶している。この表示モードテーブルには、このパラメータの他、表示モードを特定できない場合に使用する

デフォルトパラメータを1組記憶している。このデフォルトパラメータは、本実施の形態における表示部15の表示パネルの解像度と、一般的なビデオ信号とに基づいて、最も適すると思われるであろう値が選ばれている。

【0073】図9～11は、ビデオ信号に含まれる同期信号について、いくつかの例を示したものである。

【0074】まず、上記図9は、最も一般的なビデオ信号であり、VD信号TVDに同期してHD信号の極性が反転するが、HD信号の周期は一定で、エッジも立ち下がりであり一定であるようなタイプの信号である。

【0075】つぎに、上記図10は、VD信号TVDに同期してHD信号の周期が返歌するタイプのビデオ信号であるが、エッジは立ち下がりであり一定となっている。

【0076】そして、上記図11は、VD信号TVDに同期して検出エッジを変えるとHD信号の周期が一定となるタイプのビデオ信号である。

【0077】さて、本実施の形態では、上述のように、入力されたビデオ信号s101に含まれる画像信号s102をA/D変換回路103でデジタル画像データに変換するために、先ず、クロック発生回路104にて、HD信号に同期し且つ画像信号s102のドットクロックの整数倍になっているサンプリングクロックを形成する必要がある。

【0078】このために、システム制御回路191は、後述のように機種及び表示モードの判定後、クロック発生回路104の制御回路317に各種パラメータをセットすることにより、ドットクロック信号s303及びこれより生成される各種クロック信号cs103及びcs105の発生を制御することで、所望のサンプリングクロックを得ている。

【0079】図12は、本実施の形態において、入力されるビデオ信号s101の測定、機種の特定及び表示モードの決定までの一連の制御を行う際の動作の大まかな流れを示した図である。

【0080】上記図12に示すように、ここでの制御は、同期信号変化測定モジュール701と、表示モード判別及び制御モジュール702との2つに分けることができ、これら2つのモジュールはそれぞれ独立して動作している。

【0081】同期信号変化測定モジュール701は、“ホスト装置（ホストコンピュータ等）を変えた”、“ホスト装置と接続しているケーブルが抜けた”、“表示モードが変わって同期信号の周波数が変化した”、等の何らかの変化が起こったことを検出し、表示モード判別及び制御モジュール702に対して表示モード変化要求を出すモジュールである。

【0082】表示モード判別及び制御モジュール702は、同期信号変化検出モジュール701からの変更要求を受けて、表示モードの判別とそのモードに対する制御を行うモジュールである。

【0083】図13は、同期信号変化測定モジュール701内の処理の流れを具体的に示した図である。以下、上記図13を用いて、同期信号変化測定モジュール701実行時の動作について具体的に説明する。

【0084】今、表示部15が何らかの表示モードで表示動作しているとすると、そこで、先ず、システム制御回路191は、クロック発生回路104から出力される位相ロック信号cs314を観測し、位相ロックがはずれたか否かを判別する（ステップS701）。

【0085】このステップS701での判別の結果、位相ロックがはずれた場合、システム制御回路191は、入力されたビデオ信号s101に変化が生じたと判別し、回路内部の変更終了フラグをクリアし、表示モード判定及び制御モジュール702に対して表示モード変更要求を発行する（ステップS704）。

【0086】一方、ステップS701での判別の結果、位相ロックがかかっている状態である場合、システム制御回路191は、同期信号測定回路102からHD信号及びVD信号の周期を読み出し（ステップS702）、前回読み出したものと比較する（ステップS703）。

【0087】このステップS703での比較の結果、同じであれば、システム制御回路191は、入力されたビデオ信号s101に変化がなかったものと見なし、ステップS701に戻り、以降の処理ステップを繰り返し実行する。

【0088】また、ステップS703での比較の結果、前回と異なる場合には、システム制御回路191は、入力されたビデオ信号s101に変化が生じたと見なし、上述したステップS704に進み、表示モード判定及び制御モジュール702に対して表示モード変更要求を発行する。

【0089】このステップS704の後、システム制御回路191は、回路内部の変更処理フラグをセットし、変更処理の終了の待ち状態となる（ステップS705）。

【0090】変更処理が終了すると、システム制御回路191は、クロック発生回路104が画像信号s102の位相に同期するために要する時間を待って（ステップS706）、クロック発生回路104から出力される位相ロック信号cs314を観測し、位相ロックがはずれたか否かを判別する（ステップS707）。

【0091】そして、ステップS707の判別の結果、位相ロックがかかっている状態であれば、システム制御回路191は、ステップS701に戻り、以降の処理ステップを繰り返し実行する。また、ステップS707の判別の結果、位相ロックがかかっていない状態である場合には、システム制御回路191は、本モジュールでは対応不能とし、例外処理（ステップS708）を実行した後、ステップS701に戻り、以降の処理ステップを繰り返し実行する。

【0092】一方、図14は、上述のような同期信号変化測定モジュール701から表示モード変更要求が発行される表示モード判定及び制御モジュール702内の処理の流れを具体的に示した図である。以下、上記図14を用いて、表示モード判定及び制御モジュール702実行時の動作について具体的に説明する。

【0093】先ず、システム制御回路191は、同期信号測定回路102のR/W制御回路230を制御し、VD信号の立ち上がり同期して、1VD期間分の各パラメータPHD1、PHD2、PVD、VD値、1VD期間中のHD信号の数及びTHD、VHDを、そのFIFO205、206及びレジスタ214より読み出す（ステップS751）。

【0094】次に、システム制御回路191は、ステップS751で読み出した各パラメータを、メモリ194内にある上述した各種ホスト装置の表示パラメータテーブルの内容と比較し（ステップS752）、機種が1機種に特定できるか否かを判定する（ステップS753）。

【0095】ステップS753の判定の結果、内容がすべて一致するものが表示パラメータテーブル内に存在する場合、システム制御回路191は、機種が1機種に特定できると見なし、後述するステップS756に進む。

【0096】また、ステップS753の判定の結果、1機種に特定できない場合、システム制御回路191は、複数機種ならば機種の特が可能であるか否かを判別する（ステップS754）。

【0097】ステップS754の判別の結果、複数機種ならば特定できる場合、システム制御回路191は、キー入力部（キーマトリクス）192にて、機種設定スイッチがセットされているか否かをチェックし、機種設定スイッチの設定による設定表示モードが、ステップS754で特定した複数の機種のものでなか存在するか否かを判別する（ステップS755）。

【0098】ステップS755の判別の結果、機種設定スイッチの設定による設定表示モードが特定した複数の機種のものでなか存在した場合、システム制御回路191は、上記機種設定スイッチによる設定モードを1つのモードに特定し、次のステップS756に進む。

【0099】ステップS756では、システム制御回路191は、HD信号の立ち下がり周期PHD1の機種が1種類であるか否かを判別する。尚、このステップS756は、上述したステップS753にて、機種が1機種に特定できると判別された場合にも実行される。

【0100】ステップS756の判別の結果、HD信号の立ち下がり周期PHD1の機種が1機種である場合、システム制御回路191は、メモリ194の表示モードテーブル内より各パラメータを読み出す。そして、システム制御回路191は、その読みだした各パラメータを、クロック発生回路104の制御回路317に供給

し、その分周器304、D/A変換器309及び311等を制御して、所望のクロックを発生させる(ステップS757)。

【0101】その後、システム制御回路191は、回路内部の変更処理終了フラグをセットし、更に、同期信号測定モジュール701へ変更処理の終了を知らせて、本処理終了とする。

【0102】また、ステップS756の判別の結果、HD信号の立ち下がり周期PHD1の機種が1種類ではない場合、システム制御回路191は、単純には1種類ではないが、途中で周期検出エッジを変化させると1種類になるような場合であるか否かを判別する(ステップS759)。例えば、上記図11に示したように、VD信号の立ち上がりを含めて*i*個は立ち下がりHD周期PHD1が*t*1、その後*N-i-1*個はPHD2が*t*1になるような場合であるか否かを判別する。

【0103】ステップS759の判別の結果、周期検出エッジを変化させると1種類になる場合、システム制御回路191は、メモリ194内の表示モードテーブルから特定した表示モードテーブルのパラメータのうち、分周器304、D/A変換器309及び311等を制御するためのパラメータを、クロック発生回路104の制御回路317に供給する(ステップS760)。

【0104】次いで、システム制御回路191は、HD周期検出エッジの変化点のHD信号の数、及びPHD(*i-1*)とPHD(*N-1*)を、その特定した表示モードテーブル内より読み出し、周期信号測定回路102のHD数比較用のレジスタ221に書き込む(ステップS761)。

【0105】その後、システム制御回路191は、回路内部の変更処理終了フラグをセットし(ステップS762)、同期信号測定回路102のHD数比較用のレジスタ221の値と入力されたビデオ信号s101中のHD信号の数が一致し、そのコンパレータ222の出力信号(制御信号)cs222がアクティブになったか否かを検出する(ステップS763)。

【0106】ステップS763で制御信号cs222がアクティブになったことを検出した場合に、システム制御回路191は、次のHD周期の検出エッジを立ち下がりにするのか立ち上がりにするのかを判別する(ステップS764)。すなわち、上記図11の例では、HD信号のカウント値がPHD(*i-1*)ならば立ち下がり、PHD(*N-1*)ならば立ち下がりと判別する。

【0107】ステップS764の判別の結果、立ち下がりにする場合、システム制御回路191は、クロック発生回路104の極性反転回路302を制御して、立ち上がりでその位相比較器305が位相比較検出動作を行うようにする(ステップS765)。

【0108】また、ステップS764の判別の結果、立ち上がりにする場合、システム制御回路191は、立ち

上がりで位相比較器305が位相比較検出動作を行うようにする(ステップS766)。

【0109】そして、ステップS765又はステップS766の処理後、システム制御回路191は、ステップS763に戻り、以降の処理ステップを繰り返し実行することで位相比較エッジを変化させる。

【0110】一方、ステップS756及びステップS759の判別の結果、機種(表示モード)は1つに特定できるが、HD信号が複数種類存在するような場合、例えば、上記図10に示したように、VD信号の立ち上がりを含めて*i*個のPHD1が*t*1、その後*N-i*個のPHD1が*t*2になるような場合、システム制御回路191は、メモリ194の表示モードテーブルから特定した表示モードテーブルのパラメータのHD周期の変化点のHD信号の数、及びPHD(*i-1*)とPHD(*N-1*)を読み出し、同期信号測定回路102のHD数比較用のレジスタ221に書き込む(ステップS757)。

【0111】その後、システム制御回路191は、回路内部の変更処理終了フラグをセットし(ステップS768)、同期信号測定回路102のHD数比較用のレジスタ221と入力されたビデオ信号s101中のHD信号の数が一致し、そのコンパレータ222の出力信号(制御信号)cs222がアクティブになったか否かを検出する(ステップS769)。

【0112】ステップS769で制御信号cs222がアクティブになったことを検出した場合に、システム制御回路191は、対応するパラメータを表示モードテーブルより読み出し、上述したようにして、クロック発生回路104のクロック発生動作を制御する。その後、システム制御回路191は、ステップS769に戻り、以降の処理ステップを繰り返し実行する。

【0113】上述のように、入力されるビデオ信号s101に含まれる同期信号のHD周期が変化しても、クロック発生回路104でのドットクロック信号s303及び各種クロック信号cs103及びcs105が所望の周波数、位相になるように制御できる。

【0114】さて、上述したステップS754又はS755の判別の結果、入力されたビデオ信号s101の表示モードが特定できない場合、システム制御回路191は、上述したステップS756及びS759と同様にして、ビデオ信号s101のHD周期が1つ、或いは、HD検出エッジを変化させれば1つになるか否かを判断する(ステップS771、S774)。

【0115】ステップS771の判別の結果、HD周期が1種類の場合、システム制御回路191は、上述したステップS757及びS758とほぼ同様の処理を行う。すなわち、システム制御回路191は、メモリ194の表示モードテーブルからデフォルト表示モードテーブルのパラメータを読み出し、クロック発生回路104の動作を上述のように制御する(ステップS772)。

その後、システム制御回路191は、回路内部の変更処理終了フラグをセットし(ステップS773)、同期信号測定モジュール701へ変更処理の終了を知らせる。

【0116】一方、ステップS771の判別の結果、HD周期が1種類でない場合、上述したステップS759と同様に、システム制御回路191は、単純には1種類ではないが、途中で周期検出エッジを変化させると1種類になるような場合であるか否か、例えば、上記図11に示したように、VD信号の立ち上がりを含めて*i*個は立ち下がりHD周期PHD1が*t*1、その後*N-i-1*個はPHD2が*t*1になるような場合であるか否かを判別する(ステップS774)。

【0117】ステップS774の判別の結果、周期検出エッジを変化させると1種類になるような場合であった場合、システム制御回路191は、上述したステップS760～S766と同様の処理を行う。

【0118】すなわち、システム制御回路191は、メモリ194の表示モードテーブルからデフォルト表示モードのパラメータを読み出し、クロック発生回路104に供給する(ステップS775)。

【0119】次いで、システム制御回路191は、HD周期検出エッジの変化点のHD信号の数、及びPHD(*i-1*)とPHD(*N-1*)を読み出し、同期信号測定回路102のHD数比較用のレジスタ221に書き込む(ステップS776)。

【0120】その後、システム制御回路191は、変更処理終了フラグをセットする(ステップS777)。

【0121】そして、システム制御回路191は、HD数比較用のレジスタ221の値とHD信号の計数値とが一致し、コンパレータ222の出力信号(制御信号)*cs*222がアクティブになったかどうかを検出する(ステップS778)。

【0122】ステップS778で制御信号*cs*222がアクティブになったことを検出した場合に、システム制御回路191は、次のHD周期の検出エッジを立ち下がりにするのか立ち上がりにするか否かを判別し(ステップS779)、その判別結果に応じて、クロック発生回路104の極性反転回路302を制御する(ステップS780、S781)。この際、極性判定前後に、クロック発生回路104において、制御回路317が位相比較回路305に与える制御信号(位相比較イネーブル信号)*cs*305を、一時的にインヒビット状態(動作禁止状態)にすることで、位相差検出動作が乱れないようにしている。

【0123】そして、ステップS780又はS781の後、すなわちHD信号の検出エッジの制御が終了すると、システム制御回路191は、ステップS778に戻り、以降の処理ステップを繰り返し実行することで、位相比較エッジを入力されたビデオ信号*s*101に応じて制御する。

【0124】一方、ステップS774の判別の結果、表示モードを1つに特定できず、更にVD期間内にHD周期が複数存在する場合、例えば、上記図10に示したような場合、システム制御回路191は、次のようなステップS782に進む。

【0125】ここで、上記図10においては、VD信号の立ち上がりを含めて*i*個のPHD1が*t*1、その後*N-i*個のPHD1が*t*2である2種類のHD周期が存在する。今、*i*>*N-i*とすると、この図10におけるHD周期の中で、出現数が最大のもきは周期が*t*1のものであり、その最大周期から他の周期へ変化する1つ前のHD信号の数は*i-1*であり、他の周期から最大周期へ変化する1つ前のHD信号の数は*N-1*である。

【0126】このような場合、システム制御回路191は、ステップS782にて、複数種類のHD周期の中で最大のHD周期とその出現数を検出し、その最大数のHD周期から他のHD周期へ変化する1つ前のHD信号数NHD1と、他の周期から妻帯数のHD周期へ変化する1つ前のHD信号数NHD2を同期信号測定回路102のHD数比較用のレジスタ221に書き込む。

【0127】そして、システム制御回路191は、メモリ194の表示モードテーブルからデフォルト表示モードのパラメータを読み出し、クロック発生回路104に供給し、上述したようにしてクロック発生動作を制御する(ステップS783)。

【0128】その後、システム制御回路191は、回路内部の変更処理終了フラグをセットし(ステップS784)、HD数比較用のレジスタ221の値とHD信号の計数値が一致し、コンパレータ222の出力信号(制御信号)*cs*222がアクティブになったかどうかを検出する(ステップS785)。

【0129】ステップS785で制御信号*cs*222がアクティブになったことを検出した場合に、システム制御回路191は、その制御信号が上述の最大数のHD周期から他の周期へ変化する1つ前のHD信号であることを示しているのか、又は、他の周期から最大数のHD周期に変化する1つ前のHD信号であることを示しているのかを判別する。すなわち、次のHD周期が最大数のHD周期であるのか、それ以外の周期であるのかを判別する(ステップS786)。

【0130】ステップS786の判別の結果、最大数のHD周期以外であった場合、システム制御回路191は、クロック発生回路104の位相比較器305の動作を禁止するように制御する(ステップS787)。

【0131】また、ステップS786の判別の結果、最大数のHD周期であった場合、システム制御回路191は、クロック発生回路104の位相比較器305の比較動作を許可するように制御する(ステップS788)。

【0132】そして、ステップS787又はステップS

788の処理後、システム制御回路191は、ステップS785へ戻り、以降の処理ステップを繰り返し実行する。

【0133】上述のように構成することにより、VD信号の1周期内の最大数のHD信号に対してPLLをロックさせて、その最大数のHD信号に位相同期したクロックを発生すると共に、PLLのアンロック期間を最小限にすることができる。したがって、入力されたビデオ信号s101の同期信号の変化によるPLLの乱れを最小限にすることができ、安定してクロックを発生可能になるので、良好に表示動作を行うことが可能になる。

【0134】本実施の形態では、上述のような表示モードの判別に関し、クロック発生回路104の位相ロック信号cs314、具体的には位相比較器305のロック／アンロック状態を示す制御信号（ロック／アンロック制御信号）cs314に応じて、その判別が正しいかどうかを確認している。

【0135】以下、このロック／アンロック制御信号を用いた確認動作について、図15に示すフローチャートを用いて説明する。

【0136】上述した表示モード判別及び制御モジュール703の実行終了後、システム制御回路191は、クロック発生回路104のロック／アンロック制御信号cs314の状態を確認する（ステップS1001）。

【0137】ステップS1001の結果、PLLがアンロック状態であった場合、システム制御回路191は、入力されたビデオ信号s101に含まれる画像信号s102の表示モード及びホスト装置（ホストコンピュータ等）の出力信号が別の仕様のものに変更になったと見なし、次のステップS1002に進む。

【0138】また、ステップS1001の結果、PLLがロックされている場合には、システム制御回路191は、そのまま本処理終了とする。

【0139】ステップS1002では、システム制御回路191は、新たに同期信号測定回路102からHD及びVD信号の周波数を読み取る。

【0140】そして、システム制御回路191は、HD信号周波数が対応可能な最低周波数（H_{bottom}）から所定の周波数AHzの間であり、且つVD信号が対応可能な最低周波数（V_{bottom}）から所定の周波数BHzの間であるかを判別する（ステップS1003）。

【0141】ステップS1003の判別の結果、各周期信号の周波数が各周波数の間にある場合、システム制御回路191は、所定のモード0～Mまでの間のモード0として、このモード0に応じたクロック発生回路104

$$b = a1 \times u / (u + v) + a2 \times v / (u + v) \quad \dots (1)$$

なる式(1)で求められる。

【0151】一方、3次畳み込み補間法は、内挿したい画素の両脇2画素ずつの画像データと、3次畳み込み関

及び表示動作の制御を行う（ステップS1004）。そして、システム制御回路191は、再びPLLがロックしたか否かを判別し（ステップS1005）、その判別の結果、ロックした場合には、現在のモードがモード0であると判断して（ステップS1006）、本処理を終了する。また、ステップS1005の判別の結果、再びアンロック状態である場合には、システム制御回路191は、現在のモードはモード0ではないと判断し、引き続き次の判定処理に進む。

【0142】そして、上述のステップS1003～S1006までの処理と同様にして、ステップS1007～S1010、・・・、ステップS1011～S1014により、モードMまで処理を繰り返す。この結果、モード0からモードMまで画像信号s102の特定がなされなかった場合、システム制御回路191は、現在の画像信号s102には対応不能と判断して、対応不能時の処理、例えば、その旨を表示部15に表示する処理を行って（ステップS1015）、本処理を終了する。

【0143】上述のような処理を行うことで、入力されたビデオ信号s101に含まれる画像信号s102の表示モード（水平及び垂直画素数）を特定し、画像信号s102のHD信号に同期し、且つ水平画素数に対応したドットクロックを得ることができる。

【0144】以上、入力されるビデオ信号s101の測定、機種の特長、及び表示モードの決定の方法について説明した。つぎに、上述した同期信号分離回路101～クロック発生回路104の説明に引き続き、補間処理回路105について説明する。

【0145】（補間処理回路105）

【0146】補間処理回路105は、補間部であり、A/D変換回路103で得られたデジタルRGB画像データs103に補間処理を施し、表示部15の表示パネルの表示解像度に合わせた解像度に変換する。

【0147】まず、この補間処理回路105で採用しているアルゴリズムについて説明する。

【0148】ここで、補間処理方法として、一般的によく用いられている方法としては、最近隣内挿法、線形補間法（1次内挿法）、3次畳み込み補間法等がある。

【0149】例えば、最近隣内挿法は、内挿したい画素に最も近い補間前画素を補間画素とする方法である。

【0150】また、線形補間法は、内挿したい画素の両脇にある画素の画像データを用いて、内挿する画素の画像データを求める方法である。例えば、図16に示すように、距離間隔1で並んでいる画素a1と画素a2から各々u、vの距離にある位置（画素a1と画素a2の間）に画素bを内挿する場合、画素bの画像データは、

数を用いて内挿する画素の画像データとを求める方法である。この3次畳み込み関数fは、内挿する画素と、距離間隔1で並んでいる両脇2画素ずつとの距離をtとし

て、

$$f(t) = \sin(\pi t) / (\pi t) \times w(t) \quad \cdots \cdots (2)$$

なる式(2)で与えられる。この式(2)において、“ $w(f)$ ”は、後述するインパルス応答を有限で打ち切るための窓関数である。窓関数としては、ハミング窓、

$$f(t) = 1 - 2|t|^2 + |t|^3 \quad (0 \leq |t| < 1) \quad \cdots \cdots (3)$$

$$f(t) = 4 - 8|t| + 5|t|^2 - |t|^3 \quad (1 \leq |t| < 2) \quad \cdots \cdots (4)$$

$$f(t) = 0 \quad (2 \leq |t|) \quad \cdots \cdots (5)$$

なる式(3)、(4)及び(5)のように展開される。

【0153】したがって、例えば、図17に示すように、距離間隔1で並んでいる画素a1、a2、a3、a4から各々u1、u2、u3、u4の距離にある位置

$$\begin{aligned} b = & a1(4 - 8 \times u1 + 5 \times u1^2 - u1^3) + \\ & a2(1 - 2 \times u2^2 + u2^3) + \\ & a3(1 - 2 \times u3^2 + u3^3) + \\ & a4(4 - 8 \times u4 + 5 \times u4^2 - u4^3) \quad \cdots \cdots (6) \end{aligned}$$

なる式(6)で求められる。

【0154】上述のインパルス応答について具体的に説明する。図18及び図19は、上述線形補間法及び3次畳み込み補間法に対応するインパルス応答を示したものである。

【0155】線形補間法のインパルス応答は、上記図18に示すように、着目画素から両隣の隣接画素へ向かう2等辺三角形となる。

【0156】一方、3次畳み込み補間法のインパルス応答は、上記図19に示すように、着目画素にピーク値を持つSINC関数×窓関数となる。

【0157】以上、一般的によく用いられている補間処理方法として、最近隣内挿法、線形補間法、及び3次畳み込み補間法について説明した。これらの補間処理方法にて、補間フィルタとしての特性は、3次畳み込み補間法の方が線形補間法よりも優れていることが知られている。しかしながら、演算量の点から見ると、式(1)、式(6)から明らかなように、3次畳み込み補間法の方が線形補間法よりも多く、その分回路規模が増大する。他にも補間フィルタの実現方法は複数存在するが、補間フィルタとしての良好な特性を得ようとすると、回路規模は増大するのが一般的である。

【0158】そこで、本実施の形態での補間処理回路105は、次のような構成とすることで、上述のような従来からの問題点を解決する。

【0159】すなわち、補間処理回路105は、システム制御回路191の制御信号cs119によりその動作が制御されるものであり、例えば、図20に示すように、A/D変換回路103で得られたデジタルRGB画像信号s103が供給される水平補間処理回路441と、水平補間処理回路441の出力が供給される垂直補間処理回路442とを備えており、垂直補間処理回路442の出力が補間処理回路105の出力として、OSD

ハミング窓、ブラックマン窓等がある。

【0152】そこで、式(2)にて、“ $w(f)$ ”を無視すると、式(2)はtの範囲により、

$$(1 \leq |t| < 2) \quad \cdots \cdots (4)$$

$$(2 \leq |t|) \quad \cdots \cdots (5)$$

(画素a2と画素a3の間)に画素bを内挿する場合、画素bの画像データは、上述した3次畳み込み関数fを用いて、

切換回路106に供給されるようになされている。また、補間処理回路105は、同期入力回路403と、出力クロック供給回路405とを備えており、同期入力回路403には、同期信号分離回路101で得られた水平/垂直同期信号cs101が供給されると共に、クロック発生回路104で得られた各種クロック信号、具体的には、基準HD信号cs105、ECL及びTTLレベルのドットクロック信号cs103及びcs106が供給されるようになされている。そして、同期入力回路403及び出力クロック供給回路405の各出力は、水平補間処理回路441及び垂直補間処理回路442に各々供給されるようになされている。さらに、水平補間処理回路441は、制御バスcs119を介してシステム制御回路191と接続されている。

【0160】尚、以下の説明では、先ず、補間処理回路105の各回路の概要について説明し、続いて各回路の詳細、特に、水平補間処理回路441及び垂直補間処理回路442について具体的に説明するものとする。

【0161】同期入力回路403は、同期信号分離回路101からの水平/垂直同期信号cs101に含まれるHD信号及びVD信号により、水平補間処理回路441及び垂直補間処理回路442を制御するための制御信号cs402及びcs403を生成し、制御信号cs402を水平補間処理回路441に供給すると共に、制御信号cs403を垂直補間処理回路442に供給する。

【0162】出力クロック供給回路405は、水平補間処理回路441及び垂直補間処理回路442の出力信号の転送レートを決める回路であり、それらの転送レートに対応したクロック信号cs400及びcs401を、水平補間処理部441及び垂直補間処理部442に各々供給する。

【0163】水平補間処理回路441は、同期入力回路403からの制御信号cs402に従って、A/D変換

回路103からのデジタルRGB画像データs103（ここでは、水平N画素、垂直Mラインからなる画像データs103とする）に対して、1走査線当たりの画素数をN画素からX画素へ変換し、その変換で得られた画像データs103aを、出力クロック供給回路405からのクロック信号cs400に従った転送レートで垂直補間処理回路442に供給する。

【0164】垂直補間処理回路442は、同期入力回路403からの制御信号cs403に従って、水平補間処理回路441からの画像データs103aに対して、垂直MラインからYラインへの変換を行い、その変換して得られた画像データs104及びその同期信号cs107を、出力クロック供給回路405からのクロック信号cs401に従った転送レートで出力する。この垂直補間処理回路442から出力される画像データs104は、OSD切替回路106に供給され、その同期信号cs107は、切替スイッチ13に供給される。

【0165】（水平補間処理回路441の詳細）

【0166】水平補間処理回路441は、例えば、図21に示すように、A/D変換回路103で得られた上述した画像データs103が供給されるマトリクス回路4410と、マトリクス回路4410の出力が供給される3次畳み込み補間処理回路4411、線形補間処理回路4412及び4413と、線形補間処理回路4412及び4413の各出力が対応して供給される遅延調整回路4414及び4415と、3次畳み込み補間処理回路4411、線形補間処理回路4412及び4413の各出力が供給される逆マトリクス回路4416とを備えており、逆マトリクス回路4416の出力が水平補間処理回路441の出力として、上述した垂直補間処理回路442に供給されるようになされている。また、これらの各回路には各々、同期入力回路403からの制御信号cs402、及び出力クロック供給回路405からのクロック信号cs400が供給され、これらの信号に従って動作するようになされている。さらに、3次畳み込み補間処理回路4411は、制御バスcs119を介してシステム制御回路191と接続されている。

【0167】このような水平補間処理回路441において、マトリクス回路4410は、A/D変換回路103からの画像データs103の色空間を他の色空間に変換する。具体的には、RGBデータからなる画像データs103を、輝度データYと、2つの色差データR-Y及びB-Yとに変換する。

【0168】ここで、この水平補間処理回路441では、輝度データYと比較して、色差データR-Y及びB-Yの空間周波数特性が良くない、という人間の視覚特性を利用する。このため、マトリクス回路4410で得られた輝度データYは、3次畳み込み補間処理回路4411に供給され、色差データR-Yは、線形補間処理回路4412に供給され、また、色差データB-Yは線形

補間処理回路4413に供給される。

【0169】3次畳み込み補間処理回路4411は、マトリクス回路4410からの輝度データYに対して、上述した3次畳み込み内挿法により、水平方向N画素からX画素への変換を行い、この変換後の輝度データYを逆マトリクス回路4416に供給する。尚、3次畳み込み補間処理回路4411の詳細は後述する。

【0170】線形補間処理回路4412及び4413は各々、マトリクス4410からの色差データR-Y及びB-Yに対して、上述した線形補間法により、水平方向N画素からX画素への変換を行い、この変換後の色差データR-Y及びB-Yを遅延調整回路4414及び4415に供給する。

【0171】遅延調整回路4414及び4415は、3次畳み込み補間処理部4411と、線形補間処理部4412及び4413での信号処理時間の違いにより発生するスキューを調整して、線形補間処理回路4412及び4413からの色差データR-Y及びB-Yを逆マトリクス回路4416に供給する。

【0172】逆マトリクス回路4416は、3次畳み込み補間処理回路4411からの輝度データYと、線形補間処理回路4412及び4413からの色差データR-Y及びB-Yとから、表示部15の表示パネルに対応したデジタルRGB画像データs103aを形成して出力する。この逆マトリクス回路4416から出力されるデジタルRGB画像データs103aは、上述した垂直補間処理回路442に供給される。

【0173】上述した3次畳み込み補間処理回路4411は、例えば、図22に示すように、上述したマトリクス4410からの輝度データY及び同期入力回路403からの制御信号cs402が供給される入力回路5000と、入力回路5000の出力が供給される3次畳み込み水平補間処理回路5001と、3次畳み込み水平補間処理回路5001の出力が供給される出力回路5002とを備えており、出力回路5002の出力が3次畳み込み補間処理回路4411の出力として、上述した逆マトリクス回路4416に供給されるようになされている。また、3次畳み込み補間処理回路4411は、同期入力回路403からの制御信号cs402、及び出力クロック供給回路405からのクロック信号cs400が供給される補間制御回路5003を備えており、補間制御回路5003の出力は、入力回路5000、3次畳み込み水平補間処理回路5001、及び出力回路5002に供給されるようになされている。さらに、3次畳み込み補間処理回路4411は、補間制御回路5003に対して出力する制御入力回路5004を備えており、この制御入力回路5004は、メモリ5004aと設定供給回路5004bを備えている。そして、制御入力回路5004は、制御バスcs119を介してシステム制御回路191からアクセスされるようになされている。

【0174】このような3次畳み込み補間処理回路4411において、制御入力回路5004のメモリ5004aには、システム制御回路191により制御バスcs119を介して設定された設定データが保存される。この保存された設定データは、設定供給回路5004bにより、他の回路に供給される。このような構成により、この3次畳み込み補間処理回路4411での水平補間処理が制御される。

【0175】入力回路5000は、マトリクス4410からの輝度データY（水平方向N画素の輝度データ）を、同期入力回路403からの制御信号cs402と同期させ、3次畳み込み水平補間処理回路5001に供給する。

【0176】3次畳み込み水平補間処理回路5001は、入力回路5000からの輝度データYに所定のデジタル処理を行って、その水平方向の画素数を増加させる。このとき、補間制御回路5003は、上述した設定データに従って、3次畳み込み水平補間処理回路5001の動作制御を行う。

【0177】すなわち、補間制御回路5003は、制御入力回路5004のメモリ5004aに保存され、設定供給回路5004bによって供給された設定データに基づいて、3次畳み込み水平補間処理回路5001の動作制御を行うと共に、後述する出力回路5002の動作制御も行う。このとき、補間制御回路5003は、3次畳み込み水平補間処理回路5001及び出力回路5002が、出力クロック供給回路405からのクロック信号cs400に同期して動作するように制御する。

【0178】また、補間制御回路5003は、3次畳み込み補間処理を行わない場合には、同期入力回路403からの制御信号cs402を用いて、3次畳み込み水平補間処理回路5001が動作しないように、そして、入力回路5000からの輝度データYをそのまま出力回路5002が逆マトリクス4416に供給するように制御する。

【0179】したがって、このような補間制御回路5003による制御により、3次畳み込み水平補間処理回路5001は、入力回路5000からの輝度データYに対して、上述の設定データに基づいたデジタル処理を行い、そのデジタル処理後の輝度データYを、出力クロック供給回路405のクロックcs400に同期して、出力回路5002を介して逆マトリクス4416に供給する。

【0180】また、3次畳み込み補間処理を行わない場合には、3次畳み込み水平補間処理回路5001は、同期入力回路403の制御信号cs402により、入力回路5000からの輝度データYをそのまま出力回路5002を介して逆マトリクス4416に供給する。

【0181】上述のように、水平補間処理回路441では、入力された画像データs103の色空間（ここでは

RGB）を他の色空間（ここでは、Y、R-Y、B-Y）に変換し、変換して得られた輝度データY、色差データR-Y及びB-Yに各々解像度変換のための補間処理を行う際、輝度データYに対しては3次畳み込み補間処理を行い、色差データR-Y及びB-Yに対しては線形補間処理を行う。ここで、色差データR-Y及びB-Yに対する補間処理の回路として、輝度データYに対する補間処理の回路（3次畳み込み補間処理回路4411）と比較して、簡単な構成の補間フィルタ（線形補間処理回路4412及び4413）を使用しているが、上述したような人間の視覚特性を利用しているため、良好な変換特性を得ることができる。このような構成とすることで、水平補間処理回路441は、回路規模の縮小と、水平方向の良好な変換特性との実現を両立している。

【0182】尚、上述した水平補間処理回路441において、3次畳み込み補間処理回路4411の3次畳み込み水平補間処理回路5001の具体的な構成に関しては、後述する垂直補間処理回路442の垂直補間処理回路406と同様であるため、その詳細な説明を省略する。また、線形補間処理回路4412及び4413の具体的な構成に関しても、上述した3次畳み込み補間処理部4411と同様であるため、その詳細な説明を省略する。但し、これら線形補間処理回路4412及び4413は、3次畳み込み補間処理回路4411の回路規模に比べ小規模な回路構成で実現出来るのは上述した通りである。

【0183】（垂直補間処理回路442の詳細）

【0184】垂直補間処理回路442は、上述した水平補間処理回路441からの画像データs103a（有効表示画像データ）を垂直補間して、表示部15の表示パネル（ドットマトリクスディスプレイ等）に拡大表示を行うためのものである。

【0185】すなわち、垂直補間処理回路442は、例えば、図23に示すように、水平補間処理回路441からの画像データs103aが供給される入力回路401と、入力回路401の出力が供給される垂直補間処理回路406と、垂直補間処理回路406の出力が供給される出力回路404とを備えており、出力回路404の出力が垂直補間処理回路442の出力として、OSD切替回路106及び切替スイッチ13に供給されるようになされている。また、垂直補間処理回路442は、同期入力回路403からの制御信号cs403、及び出力クロック供給回路405からのクロック信号cs401が供給される補間制御回路407を備えており、補間制御回路407の出力は、垂直補間処理回路406及び出力回路404に供給されるようになされている。さらに、垂直補間処理回路442は、補間制御回路407に対して出力する制御入力回路402を備えており、この制御入力回路402は、メモリ402aと設定供給回路402

bを備えている。そして、制御入力回路402は、制御バスcs119を介してシステム制御回路191からアクセスされるようになされている。

【0186】このような垂直補間処理回路442において、制御入力回路402のメモリ402aには、システム制御回路191により制御バスcs119を介して設定された設定データが保存される。この保存された設定データは、設定供給回路402bにより、他の回路に供給される。このような構成により、この垂直補間処理回路442での垂直補間処理が制御される。

【0187】入力回路401は、水平補間処理回路441からの画像データs103aを、同期入力回路403からの制御信号cs403と同期させ、垂直補間処理回路406に供給する。

【0188】垂直補間処理回路406は、水平補間処理回路441からの画像データs103aに所定のデジタル処理を行って、その水平ラインを増加させる。このとき、補間制御回路407は、上述した設定データに従って、垂直補間処理回路406の動作制御を行う。

【0189】すなわち、補間制御回路407は、制御入力回路402のメモリ402aに保存され、設定供給回路402bによって供給された設定データに基づいて、垂直補間処理回路406の動作制御を行うと共に、後述する出力回路404の動作制御も行う。このとき、補間制御回路407は、垂直補間処理回路406及び出力回路404が、出力クロック供給回路405からのクロック信号cs401に同期して動作するように制御する。

【0190】また、補間制御回路407は、垂直補間処理を行わない場合には、同期入力回路403からの制御信号cs403を用いて、垂直補間処理回路406が動作しないように、そして、入力回路401からの画像データs103a及びその同期信号を、画像データs104及び同期信号cs107として、出力回路404がOSD切換回路106及び切換スイッチ13に供給するように制御する。

【0191】したがって、このような補間制御回路407による制御により、垂直補間処理回路406は、入力回路401からの画像データs103aに対して、上述の設定データに基づいたデジタル処理を行い、そのデジタル処理後の画像データs103aを、画像データs104として、出力クロック供給回路405のクロックcs401に同期して、出力回路404を介してOSD切換回路106に供給すると共に、その同期信号cs107を切換スイッチ13に供給する。

【0192】また、垂直補間処理を行わない場合には、垂直補間処理回路406は、同期入力回路403の制御信号cs403により、入力回路401からの画像データs103aをそのまま画像データs104として、出力回路404を介してOSD切換回路106に供給すると共に、その同期信号cs107を切換スイッチ13に

供給する。

【0193】上述した垂直補間処理回路406及び補間制御回路407をさらに具体的に説明する。

【0194】垂直補間処理回路406は、例えば、図24に示すように、入力された画像データと同期信号との同期をとるためのフリップフロップ(F/F)回路406aと、1水平ライン分のデータを記憶する入力FIFOメモリ406bと、補間係数を用いて入力された画像データに対して演算処理を行う演算回路406cと、補間演算を行った後の画像データを記憶する出力FIFOメモリ406dと、出力FIFOメモリ406dの出力を選択し後段のスイッチ406fに転送するスイッチ406eと、補間係数が1の場合つまり補間を行わない場合のスループスを選択するスイッチ406fとを備えている。また、補間制御回路407は、同図に示すように、画像データの入力タイミングとFIFOメモリ406bのデータ書き込みタイミングと読み出しタイミングを制御する入力FIFO制御回路407aと、演算回路のタイミングと出力FIFOメモリ406bの書き込みタイミングを制御する出力FIFO書き込み制御回路407bと、読み出しタイミングを制御する出力FIFO制御回路407cと、表示開始位置を検出する表示位置検出回路407dと、垂直補間処理回路406から出力する画像データと同期信号のタイミングを調整する出力表示位置補正回路407eと、各ラインごとの指数を制御する演算制御回路407fとを備えている。

【0195】このような構成において、入力回路401より入力された画像データ(s103a)は、F/F回路406aにおいて入力FIFO制御回路407aの制御信号により同期化され、入力FIFOメモリ406bに画像データが転送されていく。各入力FIFOメモリ406bは、1水平ラインづつ遅れた画像データが順次転送されるように入力FIFO制御回路407aによって制御されている。

【0196】演算回路406cは、詳細は後述するが、演算制御回路407fからの制御信号によって水平の同じカラムの画像データを演算回路406cに各々入力し、垂直補間ラインを生成し、出力FIFOメモリ406dに出力FIFO制御回路407cの制御によって記憶する。この記憶された画像データ(s104)は、出力FIFO制御回路407cからの信号によって読み出され、スイッチ406eとスイッチ406fを経由して、OSD切換回路106に転送される。この画像データs104を転送する際に、画像データs104と同期した信号(cs107)も、出力表示位置補正回路407eにより生成し、転送する。

【0197】上述した演算回路406cは、例えば、図25に示すように、4つの指数演算回路406c1と、4入力の加算器406c2と、符号処理回路406c3とを備えている。

【0198】この演算回路406cにおいて、指数演算回路406c1は、詳細は後述するが、F/F回路406a或いは入力FIFOメモリ406bより各々のラインの画像データを受け、個々に予め決められた指数を掛けて、4入力の加算器406c2に各々画像データを転送し加算を行う。この加算結果の画像データは、符号処理回路406c3に送られ、これにて、計算結果が負になっている場合は、最小値“00”(6bit、16進数)に変更し、最大値を超えている場合は、最大値“3F”(6bit、16進数)に変更される。

【0199】上述した指数演算回路406c1は、例えば、図26に示すような構成とすることで、入力された画像データについて、その1/32から32/32までの値を作り、その値に応じて各ANDゲートの開閉を制御するようになされている。すなわち、ここでは、2のn乗で補間演算の係数を近似している。このため、実際の演算自体は、各データのビットシフト及び加減算で行うことができる。したがって、演算制御回路407fは、指数演算回路406c1に対して、実際には各ANDゲートのうちどのゲートを開くのかを制御すればよい。

【0200】また、指数演算回路406c1は、2の補数演算器により、その前段の画像データを負の数に変換し、選択器により、2の補数演算器を通した画像データと通さない画像データを選択して、4入力の加算器406c2にその画像データを転送するようになされている。

【0201】ここで、種々の画像データを例に挙げ、上述した補間処理回路105により、各画像データに補間処理を行う際のその概略動作について説明する。

【0202】(例1)図27は、IBM社のグラフィックカードであるVGAの表示モードの、ある1つの表示モード、すなわち水平640ドット、垂直350ラインの画像データを示したものである。

【0203】このような画像データに対して補間処理を行う場合、その入力された画像データは、補間処理回路105の水平補間処理回路441によって、水平640ドットが1280ドットに拡大され、補間処理回路105の垂直補間処理回路442によって、垂直350ラインから490ラインに増加され、且つ表示部15の表示パネル(ここでは、ドットマトリクスディスプレイとする)内で更に2ライン拡大が行われ、アスペクト比の近似した垂直980ラインに増加される。これにより、ドットマトリクスディスプレイでは、水平1280ドット、垂直980ラインの有効表示エリアで表示が行われる。

【0204】ところで、垂直補間処理回路442には、例えば、上記図27中の(b)に示すようなタイミングで画像データが入力される。この場合、水平1ラインの時間は、31.778 μ Sであり、その中で25.42

2 μ S中に有効な画像データが含まれている。また、この場合には、上記図27中の(a)に示すように、垂直補間処理回路442では、入力ライン5に対して出力が7ラインとなる必要がある。したがって、上記図27中の(a)に示すように、出力の周期が22.699 μ Sに決まる。また、有効データの期間の関係から、出力の出力サイクルが決定する。この場合は、39.16MHz \sim 28.196MHzに決まる。さらに、入力のタイミングと出力のタイミングの関係は、2ライン入力されてから出力を始め、5ライン入力される間に出力を7ライン行う必要がある。

【0205】また、入力ラインと出力FIFOメモリ406dの関係については、上記図27中の(c)に示すように、その左記の入力ラインのサイクル番号のラインが入力された場合に、各出力FIFOメモリ内にそれぞれ図記載のサイクルライン番号のラインが入力されるように制御が行われる。

【0206】(例2)図28は、VESA規格の水平800ドット、垂直600ラインの画像データを示したものである。

【0207】このような画像データに対して補間処理を行う場合、その入力された画像データは、補間処理回路105の水平補間処理回路441によって、水平800ドットの有効表示期間が水平1280ドットに拡大され、補間処理回路105の垂直補間処理回路442によって、垂直600ラインからアスペクト比の近似した垂直960ラインに増加される。これにより、ドットマトリクスディスプレイでは、水平1280ドット、垂直960ラインの有効表示エリアで表示が行われる。

【0208】ところで、垂直補間処理回路442には、例えば、上記図28中の(b)に示すようなタイミングで画像データが入力される。この場合、水平1ラインの時間は、28.444 μ Sであり、その中で22.222 μ S中に有効な画像データが含まれている。また、この場合には、上記図28中の(a)に示すように、垂直補間処理回路442では、入力ライン5に対して出力が8ラインとなる必要がある。したがって、上記図28中の(a)に示すように、出力の周期が17.778 μ Sに決まる。また、有効データの期間の関係から、出力の出力サイクルが決定する。この場合は、55.385MHz \sim 36.000MHzに決まる。さらに、入力のタイミングと出力のタイミングの関係は、2ライン入力されてから出力を始め、5ライン入力される間に出力を8ライン行う必要がある。

【0209】また、入力ラインと出力FIFOメモリ406dの関係については、上記図28中の(c)に示すように、その左記の入力ラインのサイクル番号のラインが入力された場合に、各出力FIFOメモリ内にそれぞれ図記載のサイクルライン番号のラインが入力されるように制御が行われる。

【0210】(例3)図29は、VESA規格の水平800ドット、垂直600ラインの画像データを示したものである。

【0211】このような画像データに対して補間処理を行う場合、その入力された画像データは、補間処理回路105の水平補間処理回路441によって、水平800ドットの有効表示期間が水平1280ドットに拡大され、補間処理回路105の垂直補間処理回路442によって、垂直600ラインからアスペクト比の近似した垂直960ラインに増加される。これにより、ドットマトリクスディスプレイでは、水平1280ドット、垂直960ラインの有効表示エリアで表示が行われる。

【0212】ところで、垂直補間処理回路442には、例えば、上記図29中の(b)に示すようなタイミングで画像データが入力される。この場合、水平1ラインの時間は26.400 μ Sであり、その中で20.000 μ S中に有効な画像データが含まれている。また、この場合には、上記図29中の(a)に示すように、垂直補間処理回路442では、入力ライン5に対して出力が8ラインとなる必要がある。したがって、上記図29中の(a)に示すように、出力の周期が16.500 μ Sに決まる。また、有効データの期間の関係から、出力の出力サイクルが決定する。この場合は、63.3663MHz \sim 38.7878MHzに決まる。さらに、入力のタイミングと出力のタイミングの関係は、2ライン入力されてから出力を始め、5ライン入力される間に出力を8ライン行う必要がある。

【0213】また、入力ラインと出力FIFOメモリ406dの関係については、上記図29中の(c)に示すように、その左記の入力ラインのサイクル番号のラインが入力された場合に、各出力FIFOメモリ内にそれぞれ図記載のサイクルライン番号のラインが入力されるように制御が行われる。

【0214】(例4)図30は、VESA規格の水平800ドット、垂直600ラインの画像データを示したものである。

【0215】このような画像データに対して補間処理を行う場合、その入力された画像データは、補間処理回路105の水平補間処理回路441によって、水平800ドットの有効表示期間が水平1280ドットに拡大され、補間処理回路105の垂直補間処理回路442によって、垂直600ラインからアスペクト比の近似した垂直960ラインに増加される。これにより、ドットマトリクスディスプレイでは、水平1280ドット、垂直を960ラインの有効表示エリアで表示が行われる。

【0216】ところで、垂直補間処理回路442には、例えば、上記図30中の(b)に示すようなタイミングで画像データが入力される。この場合、水平1ラインの時間は、20.800 μ Sであり、その中で16.000 μ S中に有効な画像データが含まれている。また、こ

の場合には、上記図30中の(a)に示すように、垂直補間処理回路442では、入力ライン5に対して出力が8ラインとなる必要がある。したがって、上記図30中の(a)に示すように、出力の周期が13.000 μ Sに決まる。また、有効データの期間の関係から、出力の出力サイクルが決定する。この場合は、78.048MHz \sim 49.231MHzに決まる。さらに、入力タイミングと出力のタイミングの関係は、2ライン入力されてから出力を始め、5ライン入力される間に出力を8ライン行う必要がある。

【0217】また、入力ラインと出力FIFOメモリ406dの関係については、上記図30中の(c)に示すように、その左記の入力ラインのサイクル番号のラインが入力された場合に、各出力FIFOメモリ内にそれぞれ図記載のサイクルライン番号のラインが入力されるように制御が行われる。

【0218】(例5)図31は、VESA規格の水平1024ドット、垂直768ラインの画像データを示したものである。

【0219】このような画像データに対して補間処理を行う場合、その入力された画像データは、補間処理回路105の水平補間処理回路441によって、水平1024ドットの有効表示期間が水平1280ドットに拡大され、補間処理回路105の垂直補間処理回路442によって、垂直768ラインからアスペクト比の近似した垂直960ラインに増加される。これにより、ドットマトリクスディスプレイでは、水平1280ドット、垂直960ラインの有効表示エリアで表示が行われる。

【0220】ところで、垂直補間処理回路442には、例えば、上記図31中の(b)に示すようなタイミングで画像データが入力される。この場合、水平1ラインの時間は、17.707 μ Sであり、その中で13.653 μ S中に有効な画像データが含まれている。また、この場合には、上記図31中の(a)に示すように、垂直補間処理回路442では、入力ライン4に対して出力が5ラインとなる必要がある。したがって、上記図31中の(a)に示すように、出力の周期が14.1656 μ Sに決まる。また、有効データの期間の関係から、出力の出力サイクルが決定する。この場合は、63.2MHz \sim 45.2MHzに決まる。さらに、入力のタイミングと出力のタイミングの関係は、2ライン入力されてから出力を始め、4ライン入力される間に出力を5ライン行う必要がある。

【0221】また、入力ラインと出力FIFOメモリ406dの関係については、上記図31中の(c)に示すように、その左記の入力ラインのサイクル番号のラインが入力された場合に、各出力FIFOメモリ内にそれぞれ図記載のサイクルライン番号のラインが入力されるように制御が行われる。

【0222】(例6)図32は、アップル社のMac i

ntoshシリーズにおいて、ある1つの表示モード、すなわち水平1024ドット、垂直768ラインの画像データを示したものである。

【0223】このような画像データに対して補間処理を行う場合、その入力された画像データは、補間処理回路105の水平補間処理回路441によって、水平1024ドットの有効表示期間が水平1280ドットに拡大され、補間処理回路105の垂直補間処理回路442によって、垂直768ラインからアスペクト比の近似した垂直を960ラインに増加される。これにより、ドットマトリクスディスプレイでは、水平1280ドット、垂直960ラインの有効表示エリアで表示が行われる。

【0224】ところで、垂直補間処理回路442には、例えば、上記図32中の(b)に示すようなタイミングで画像データが入力される。この場合、水平1ラインの時間は、16.6 μ Sであり、その中で12.8 μ S中に有効な画像データが含まれている。また、この場合には、上記図32中の(a)に示すように、垂直補間処理回路442では、入力ライン4に対して出力が5ラインとなる必要がある。したがって、上記図32中の(a)に示すように、出力の周期が13.28 μ Sに決まる。また、有効データの期間の関係から、出力の出力サイクルが決定する。この場合は、67.5MHz \sim 48.2MHzに決まる。さらに、入力のタイミングと出力のタイミングの関係は、2ライン入力されてから出力を始め、4ライン入力される間に出力を5ライン行う必要がある。

【0225】また、入力ラインと出力FIFOメモリ406dの関係については、上記図32中の(c)に示すように、その左記の入力ラインのサイクル番号のラインが入力された場合に、各出力FIFOメモリ内にそれぞれ図記載のサイクルライン番号のラインが入力されるように制御が行われる。

【0226】尚、補間処理回路105において、上記図28 \sim 図30に示したような画像データ、すなわち水平800ドット、垂直600ラインの画像データに対して補間処理を行う場合、その他の画像データに対する補間処理時とは異なり、3ライン目が入力されると同時に補間ラインの出力を始め、補間すべきデータが入力される前に、データの出力を行ってしまう場合が生じる。そこで、補間後のラインデータの出力の開始を、3ライン目にデータが入力された後、所定の時間後から補間ラインを出力するように制御するようになされている。

【0227】上述のような補間処理回路105で得られた画像データs104は、OSD切換回路106に供給される。

【0228】(OSD切換回路106)

【0229】このOSD切換回路106は、後述するOSD制御回路193の制御信号cs117により、補間処理回路105からの画像データs104と、後述する

OS制御回路193からの画像データs118とを切り換える機能を有するものである。

【0230】以上、同期信号分離回路101 \sim OSD切換回路106を備えるPC/WS処理回路11について説明した。引き続き、他の各回路について説明する。

【0231】上記図1において、12は、TV(テレビジョン)信号処理回路であって、TVチューナ121と、デコーダ122と、OSD切換回路123と、インターレース/ノンインターレース変換回路124と、水平補間処理回路125とを備えている。

【0232】以下、TV信号処理回路12の各回路について説明する。

【0233】(TVチューナ121)

【0234】TVチューナ121は、変調されたTV電波s106を受信し、同調、増幅、検波を行い、NTSC、PAL、SECAM等のコンポジットアナログ画像信号s109及び音声信号s115を出力する。

【0235】(デコーダ122)

【0236】デコーダ122は、カラーデコーダであり、TVチューナ121からのコンポジット画像信号s109、或いは、外部入力s107に対して、A/D変換、色差復調、RGB信号へのマトリクス変換等を施し、インターレースのデジタルRGB信号s110及び制御信号cs108を出力する。また、デコーダ122は、YC分離画像信号等の信号s108も入力可能であり、この信号s108入力時においても同様に、A/D変換、RGB信号へのマトリクス変換等を施し、インターレースのデジタルRGB画像データs110及び制御信号cs108を出力する。

【0237】(OSD切換回路123)

【0238】OSD切換回路123は、後述するOSD制御回路193の制御信号cs117により、デコーダ122からの画像データs110と、後述するOSD制御回路193からの画像データs118とを切り換える機能を有する。

【0239】(インターレース/ノンインターレース変換回路124)

【0240】インターレース/ノンインターレース(フィールド/フレーム)変換回路124は、OSD切換回路123からの画像データs110又はs118を、インターレース/ノンインターレース(フィールド/フレーム)変換する。すなわち、インターレース/ノンインターレース(フィールド/フレーム)変換回路124は、50(60)Hzのノンインターレース(フィールド)信号から、50(60)Hzのノンインターレース(フレーム)信号への変換を行って、画像データs110又はs118を、ノンインターレース50(60)Hzの画像データs112として出力する。

【0241】(水平補間処理回路125)

【0242】水平補間処理回路125は、インターレー

ス/ノンインターレース(フィールド/フレーム)変換回路124からの画像データs112を、表示部15の表示パネルの水平解像度と等しい水平解像度になるように補間処理し、画像データs113として出力すると共に、その同期信号cs110を出力する。ここで行われる補間処理は、同じデータを2度読み出しすることで、水平方向に2倍の解像度にするものである。

【0243】また、上記図1において、13は、PC/WS処理回路11と、TV信号処理回路12との切換を行う切換スイッチである。この切換スイッチ13は、操作者によるキー入力部192での操作に基づいたシステム制御回路191からの制御信号cs112によって、上述したPC/WS処理回路11からの画像データs105(コンピュータ等からのビデオ信号の画像データ)及び同期信号cs107と、TV信号処理回路12からの画像データs113(NTSC等のビデオ信号の画像データ)及び同期信号cs110とを切換え、画像データs114及び同期信号cs111を出力する。

【0244】また、上記図1において、14は、デジタル画像処理回路であり、切換スイッチ13からの画像データs114を表示部15の表示パネル(ドットマトリクスパネル等)で表示するための各種処理及び制御を行う。

【0245】以下、このデジタル画像処理回路14について具体的に説明する。

【0246】デジタル画像処理回路14は、例えば、図33に示すように、切換スイッチ13からの画像データs114及び同期信号cs111が供給されるコントラスト調整回路501と、コントラスト調整回路501の出力が供給される中間調処理回路502及び動き検出回路304と、中間調処理回路502の出力が供給されるメモリ503とを備えており、メモリ503の出力が表示パネル15に供給されるようになされている。そして、デジタル画像処理回路14の各回路は、システム制御回路191の制御信号cs501~cs503により制御されるようになされている。

【0247】このようなデジタル画像処理回路14において、コントラスト調整回路501は、切換スイッチ13からの画像データs114(例えば、NTSC等のビデオ信号や、コンピュータ等からのビデオ信号の画像データ)に対して、 γ 補正処理及び階調調整処理等を施す。

【0248】ここで、コントラスト調整回路501での γ 補正処理及び階調調整処理について具体的に説明する。

【0249】まず、 γ 補正処理について、図34は、 $\gamma=2.2$ 、8ビット入力、8ビット出力の場合の、入力データと出力データの関係を示す図である。例えば、入力データ値が“a”の場合、 $\gamma=1.0$ では出力データ値も“a”となるが、 $\gamma=2.2$ では出力データは“b

($<a$)”となり、この結果、 $\gamma=2.2$ の場合の方が $\gamma=1.0$ の場合よりもコントラストのある画像が得られる。

【0250】つぎに、階調調整処理について、図35は、0%、50%、100%の各階調調整における入力データと出力データの関係を示す図である。例えば、階調調整処理を行わない場合(100%の階調調整の場合)、入力データ値に対してリニアな出力データ値をとるが、50%の階調調整を行うと、入力データ値“0”~“64”、及び“192”~“255”に対する出力データ値は、各々“0”及び“255”に張り付けられ、その間の出力データ値は入力データ値の2倍の変化量で変化する。また、階調調整の値を小さくする(%を下げる)に従って、よりコントラストのある画像を得ることができる。

【0251】尚、上述した γ 補正処理における γ 値、及び階調調整処理における調整値は、例えば、キー入力部192を操作することで設定可能なようになされている。この操作により設定された値は、システム制御回路191がこれを受け、コントラスト変換回路501を制御するようにする。

【0252】したがって、コントラスト調整回路501は、画像データs114に対して、上述のような γ 補正処理及び階調調整処理を行うことで、コントラストを改善した画像データs501を得て、これを中間調処理回路502及び動き検出回路504に供給する。

【0253】中間調処理回路502は、コントラスト調整回路501からの画像データs501に対して、例えば、ED(誤差拡散)法やティザ法等の中間調処理を施し、フレーム表示データs502を得て、これをメモリ503に記憶する。

【0254】メモリ503は、メモリ503に記憶したフレーム表示データs502を表示部15に供給する。

【0255】一方、動き検出回路504は、中間調処理される前の表示データ、すなわちコントラスト調整回路501からの画像データs501をスチールして、一定値以上変化のあったラインを検出し、この結果を信号cs504としてシステム制御回路191に転送する。

【0256】システム制御回路191は、メモリ503に記憶されているフレーム表示データs502のうち、動き検出回路504からの信号cs504により、動きがあると検出されたラインの表示データのみをラインアドレスデータと共に表示部15に供給する。

【0257】表示部15は、上記図33に示すように、上述したデジタル画像処理回路14のメモリ503の出力が供給される表示制御回路505と、表示制御回路505の出力が供給される表示パネル506とを備えており、表示制御回路505は、システム制御回路191の制御信号cs505により制御されるようになされている。また、表示パネル506は、例えば、画像表示用

の液晶等を用いた、所謂ドットマトリクスディスプレイを用いたものである。

【0258】そこで、上述したようにして、デジタル画像処理回路14のメモリ503からの表示データs503、及びシステム制御回路191からのラインアドレスデータが表示部15に供給されると、表示部15において、表示制御回路505は、メモリ503からの表示データs503に応じた画像を、表示パネル506上のシステム制御回路191からのラインアドレスデータで指定された垂直位置に表示する。

【0259】以上、デジタル画像処理回路14及び表示部15について説明した。

【0260】再び上記図1に戻って、17は、音声処理部である。この音声処理部17は、遅延調整回路171と、音質調整及び増幅回路172と、スピーカ173とを備えている。

【0261】以下、音声処理部17の各回路について説明する。

【0262】(遅延調整回路171)

【0263】遅延調整回路171は、上述した表示部15での画像表示と、スピーカ173から放出される音声との時間ずれの調整を行う。

【0264】具体的には、まず、表示部15では、本装置の仕用温度によって、表示パネル506上の表示画面の左上と右隅では、わずかながら画像表示に遅延が生じる。このため、TV信号のように、動画と音声の同期が必要な場合、温度によって影響を受ける画像と、影響を受けない音声との間に時間的な不一致が発生してしまう。

【0265】そこで、このような現象を解決するために、表示部15は、その温度情報を、デジタル画像処理回路14を介して、制御バスcs119からシステム制御回路191にフィードバックする。システム制御回路191は、その情報をもとに制御信号cs120により、遅延調整回路171の遅延時間をコントロールして、画像と音声とが同期するように、音声入力信号s115又はs115aを遅延させ、遅延音声信号s116を発生させる。すなわち、システム制御回路191は、画像表示の遅延がない場合には音声のディレイを発生させず、画像表示の遅延がある場合には音声のディレイを発生させるような制御を行う。

【0266】但し、このとき発生させる音声遅延時間は、予めメモリ194内に記憶されている表示部15の温度と画像表示遅延時間の相関テーブルから引き出される。このような遅延調整を行うことで、表示部15の温度に依存せず、画像と音声の同期がとれるようになる。

【0267】(音質調整及び増幅回路172)

【0268】音声調整及び増幅回路172には、上述した遅延調整回路171で遅延調整された音声信号s116が供給される。この音声調整及び増幅回路172は、

音声調整、ステレオ/モノ切換、左右スピーカーバランス調整、トーンコントロール、サラウンド処理等の機能を有しており、システム制御回路191からの制御に従って、遅延調整回路171からの音声信号s116をユーザーの好みの音質に調整した後、スピーカ173でドライブできるように増幅し、それを音声信号s117として供給する。

【0269】(スピーカ173)

【0270】スピーカ173は、音声調整及び増幅回路172からの音声信号s117を音声として放出する。

【0271】180は、電源回路であり、電源信号cs181～cs184を出力するようになされている。電源信号cs181は、TV信号処理回路12に供給される。また、電源信号cs182は、PC/WS処理回路11に供給され、電源信号cs183は、デジタル画像処理回路14に供給される。そして、電源信号cs184は、その他各回路に供給される。

【0272】また、電源回路180は、システム制御回路191の制御信号cs121により制御されるようになされており、これにより、TV信号処理回路12、PC/WS処理回路11、及びデジタル画像処理回路14の電源のオン/オフ等が制御される。

【0273】193は、OSD制御回路193である。このOSD制御回路193は、システム制御回路191の制御信号cs116に従って、表示部15の表示パネル506の画面上に必要な情報を表示して、操作者による各種調整処理を容易にするOSD(オンスクリーンディスプレイ、以下、OSD表示とも言う)のためのデジタルRGB画像データ(以下、OSD表示データとも言う)s118を生成して、上述したPC/WS処理回路11のOSD切換回路106、及びTV信号処理回路12のOSD切換回路123に供給するものである。また、OSD制御回路193は、制御信号cs117により、NTSC等のビデオ信号入力の場合には、OSD切換回路123の切り換え動作を制御し、コンピュータ等からのビデオ信号入力の場合には、OSD切換回路スイッチ106の切り換え動作を制御する。これにより、NTSC等のビデオ信号入力の場合には、OSD切換回路123から、OSD表示データs118と、画像データs110とが切り換わり出力され、コンピュータ等からのビデオ信号入力の場合には、OSD切換回路スイッチ106から、OSD表示データs118と、画像データs104とが切り換わり出力される。

【0274】以下、OSD制御回路193によるOSDの表示動作について説明する。

【0275】まず、システム制御回路191は、操作者によるキー入力部192等からのOSD表示要求に基づき、OSD制御回路193に対して、OSD表示開始位置(水平、垂直)、表示パターン、フォントサイズ、表示色、ブランキング有無、フォント間スペース等の情報

を転送することで、表示部15の表示パネル506にて、例えば、図36～図39に示すようなOSD表示が行われるようにする。

【0276】上記図36及び図37は、調整項目選択処理におけるメニュー画面をOSD表示した例である。ここでは、OSD表示の一例として、言語選択が設定項目として選択されている場合を示している。また、上記図36では、文字の背景が透かしではない場合を示しており、選択されている「言語(LANGUAGE)」の項目は、他の項目と区別される。一方、上記図37では、文字の背景が透かしになっている場合を示している。この場合は、選択項目(ここでは、「言語(LANGUAGE)」)の背景のみ、透かしではなく色がついている。

【0277】上記図38は、上記図36及び図37に示したメニュー画面において、調整項目選択処理によって「言語(LANGUAGE)」を選択した場合のOSD表示例を示している。この場合は、「英語(ENGLISH)」と「日本語(JAPANESE)」の2者選択型であるため、キー入力部192での操作、例えば、後述する「UPキー」や「DOWNキー」を押す毎に、「英語(ENGLISH)」と「日本語(JAPANESE)」が交互に選択できるようになされている。

【0278】上記図39は、上記図36及び図37に示したメニュー画面において、調整項目選択処理によって「明るさ調整(BRIGHTNESS)」を選択した場合のOSD表示例を示している。この場合にも、キー入力部192の「UPキー」や「DOWNキー」を操作する等して、段階的に調整値を変更できるようになされている。例えば、実際の調整値(設定値)が255段階あり、OSD表示のレベルが10段階である場合には、設定値が約25増減する毎にOSD表示のレベルが1つ増減するようになされている。

【0279】つぎに、上述のようなOSD表示するフォントサイズについて説明する。

【0280】例えば、図40(a)に示すように、TV信号処理回路12のOSD切換回路123に着目すると、このOSD切換回路123には、上述したように、デジタルRGB画像データs110と、OSD表示データs118とが供給される。

【0281】このとき、デジタルRGB画像データs110の元となるビデオ信号が、TV電波s106から得られたNTSC/PAL等のコンポジットアナログ画像信号s109、又は、YC分離画像信号等の信号s108であり、このようなビデオ信号を表示する場合(以下、TVモードとも言う)、OSD表示データs118は、フィールド単位のデータからフレーム単位のデータへの変換を行うインターレース/ノンインターレース変換回路124により、垂直方向に2倍サイズに拡大され、さらに、補間回路125により、水平方向に2倍の

サイズに拡大される。そして、そのOSD表示データs118が表示部15で表示される際、垂直方向に2ライン同じデータが表示されることから、垂直方向にさらに2倍のサイズに拡大されたことになり、したがって、トータルで、水平方向に2倍、垂直方向に4倍サイズに拡大されたことになる。このため、OSD表示に用いるフォントサイズとしては、水平方向は2倍、垂直方向は1倍サイズのフォントを用いる。これにより、表示部15にて、水平方向、垂直方向共に4倍サイズのフォントを表示することができる。

【0282】一方、上記図40(b)に示すように、PC/WS処理回路11のOSD切換回路106に着目すると、このOSD切換回路106には、画像データs104と、OSD表示データs118とが供給される。

【0283】このとき、画像データs104のも元となるビデオ信号が、例えば、ホストコンピュータからのビデオ信号s101であり、このようなビデオ信号を表示する場合(以下、PCモードとも言う)、OSD切換回路106にて、この画像データs104と、OSD表示データs118とが切り換え出力される際には、ビデオ信号s101の入力(コンピュータ入力)と同じクロックスピードでその出力が行われるため、4回同じデータが読み出され、この結果、OSD表示データs118は、水平方向に4倍サイズに拡大されることになる。このため、OSD表示に用いるフォントサイズとしては、水平方向は1倍、垂直方向は4倍サイズのフォントを用いる。これにより、表示部15には、水平方向、垂直方向共に、上述したビデオ信号表示する場合と同じ4倍サイズのフォントを表示することができる。

【0284】上述のようなTVモード及びPCモード時において、OSD表示される項目の一覧の一例を、図41に示す。この図41に示すように、ここでは、それぞれの表示する場合において、異なる内容のOSD表示を行うようになされている。

【0285】すなわち、本実施の形態では、TVモード及びPCモードの場合では、異なるフォントサイズ、異なる読み出しクロックスピード、異なる表示内容のOSD表示を行う。

【0286】ここで、上述のようなOSD表示画面上において、操作者からのキー入力部192によるキー入力に応じた処理の一例について、図42～図45を用いて説明する。尚、上記図42は、メイン処理となるキー入力処理、上記図44は、キー入力処理におけるメニュー選択処理、上記図45は、キー入力処理における言語選択処理を示すフローチャートであり、上記図43は、キー入力部192に設けられている各種キーの一例を示したものである。

【0287】上記図42において、まず、システム制御回路191は、キー入力部192のキーマトリクス回路に対して、キースキャンを行う(ステップS110

1)。

【0288】次に、システム制御回路191は、ステップS1101のキースキャンの結果、キー入力があったか否かを判別する(ステップS1102)。

【0289】ステップS1102の判別の結果、キー入力があった場合、システム制御回路191は、直ちに本処理(キー入力処理)を終了する。

【0290】ステップS1102の判別の結果、キー入力があった場合、システム制御回路191は、検出されたキー入力、「TV/PC切り換えキー」の入力であるか否かを判別し(ステップS1103)、この判別の結果、「TV/PC切り換えキー」の入力であった場合には、ステップS1104のTV/PCモード切り換え処理を行う(ステップS1104)。

【0291】このTV/PCモード切り換え処理は、

1. スイッチ13の切り換え制御
2. 補間処理部105へのTV/PC切り換え情報の設定
3. TV/PC切り換え情報のOSD表示を含む処理である。

【0292】そして、システム制御回路191は、このようなTV/PCモード切り換え処理終了後、本処理を終了する。

【0293】ステップS1103の判別の結果、「TV/PC切り換えキー」の入力でなかった場合、システム制御回路191は、検出されたキー入力、「音量UPキー」の入力であるか否かを判別し(ステップS1105)、この判別の結果、「音量UPキー」の入力であった場合には、音量UP処理を行う(ステップS1106)。

【0294】この音量UP処理は、

1. 音声処理回路172への音量UP設定
2. 更新音量のOSD表示を含む処理である。

【0295】そして、システム制御回路191は、このような音量UP処理終了後、本処理を終了する。

【0296】ステップS1105の判別の結果、「音量UPキー」の入力でなかった場合、システム制御回路191は、検出されたキー入力、「音量DOWNキー」の入力であるか否かを判別し(ステップS1107)、この判別の結果、「音量ODWNキー」の入力であった場合には、音量DOWN処理を行う(ステップS1108)。

【0297】この音量DOWN処理は、

1. 音声処理回路172への音量DOWN設定
2. 更新音量のOSD表示を含む処理である。

【0298】そして、システム制御回路191は、このような音量DOWN処理終了後、本処理を終了する。

【0299】ステップS1107の判別の結果、「音量

ODWNキー」の入力でなかった場合、システム制御回路191は、検出されたキー入力、「クリアキー」及び「セットキー」が同時に一定期間以上続けて押された入力であるかを判別し(ステップS1109)、この判別の結果、そうであった場合には、リセットキーが検出されたとして、リセット処理を行う(ステップS1110)。

【0300】このリセット処理は、

1. メモリ194から工場出荷時の初期設定値を読み出し、デコーダ122に設定
2. メモリ194から工場出荷時の初期設定値を読み出し、音声処理回路172に設定
3. メモリ194から工場出荷時の初期設定値を読み出し、クロック発生回路104に設定
4. メモリ194から工場出荷時の初期設定値を読み出し、補間処理回路105に設定

を含む処理である。

【0301】そして、システム制御回路191は、このようなリセット処理終了後、本処理を終了する。

【0302】ステップS1109の判別の結果、リセットキー検出でなかった場合、システム制御回路191は、検出されたキー入力、「メニューキー」の入力であるか否かを判別し(ステップS1111)、この判別の結果、「メニューキー」の入力であった場合には、次のステップS1112に進み、そうでない場合、すなわち「メニューキー」でもなく、上述した各キー(「TV/PC切り換えキー」、「音量UPキー」、「音量DOWNキー」、「クリアキー」、及び「セットキー」)の何れでもない場合には、何もせず直ちに本処理を終了する。

【0303】ステップS1112では、システム制御回路191は、現在TVモードであるか、PCモードであるかの判別を行う。

【0304】ステップS1112の判別の結果、TVモードの場合、システム制御回路191は、ステップS1113のメニュー選択処理を行う。また、ステップS1112の判別の結果、PCモードの場合、システム制御回路191は、ステップS1128のメニュー選択処理を行う。

【0305】これらのステップS1113及びステップS1128でのメニュー選択処理とは、操作者が上記図36～図39に示したようなメニュー画面を見ながら、所望する設定項目を選択するための処理であり、例えば、上記図44に示すような処理である。

【0306】すなわち、先ず、前回選択された項目を選択した状態でOSD表示を行う(ステップS1501)。そして、操作者によるキー入力があるまで、キー入力待ち状態(ウェイト状態)となる(ステップS1502)。

【0307】キー入力があると、そのキー入力「TV

／PC切り換えキー」、「音量UPキー」、及び「音量DOWNキー」の何れかの入力であるかを判別し（ステップS1503）、その判別の結果、そうである場合には、何もせずに再度ステップS1502に戻り、キー入力待ち状態となる。

【0308】ステップS1503の判別の結果、「TV／PC切り換えキー」、「音量UPキー」、及び「音量DOWNキー」の何れかでもなかった場合、操作者によるキー入力が「メニューキー」であるか否かを判別する（ステップS1504）。この判別の結果、操作者によるキー入力が「メニューキー」であった場合には、本処理を終了する。

【0309】ステップS1504の判別の結果、操作者によるキー入力が「メニューキー」でなかった場合、「セットキー」であるか否かを判別する（ステップS1505）。この判別の結果、操作者によるキー入力が「セットキー」であった場合には、設定項目確定として、上記図42のステップS1114又はS1129に進む。

【0310】ステップS1505の判別の結果、操作者によるキー入力が「セットキー」でなかった場合、操作者によるキー入力が「クリアキー」であるか否かを判別する（ステップS1506）。この判別の結果、操作者によるキー入力が「クリアキー」であった場合には、選択項目を初期化して（ステップS1507）、ステップS1501に戻る。

【0311】ステップS1506の判別の結果、操作者によるキー入力が「クリアキー」でなかった場合、操作者によるキー入力が、「クリアキー」と「セットキー」を同時に一定時間押し続けた入力であるかを判別する（ステップS1508）。この判別の結果、そうである場合には、リセット要求であるとして、リセット処理を行い（ステップS1509）、本処理を終了する。

【0312】ステップS1508の判別の結果、リセット要求でない場合、操作者によるキー入力が「UPキー」であるか否かを判別する（ステップS1510）。この判別の結果、操作者によるキー入力が「UPキー」であった場合には、選択項目を前項目にして（ステップS1511）、ステップS1501に戻る。

【0313】ステップS1511の判別の結果、操作者によるキー入力が「UPキー」でなかった場合、操作者によるキー入力が「DOWNキー」であるか否かを判別する（ステップS1512）。この判別の結果、操作者によるキー入力が「DOWNキー」であった場合には、選択項目を次項目にして（ステップS1513）、ステップS1501に戻る。

【0314】ステップS1512の判別の結果、操作者によるキー入力が「DOWNキー」でなかった場合、すなわち操作者によるキー入力が、上述のように判別した各キーの何れでもなかった場合、何も行わずにステッ

プS1501に戻る。

【0315】したがって、このようなメニュー選択処理において、操作者によるキー入力が「メニューキー」の入力であった場合（ステップS1504）、又は、リセット要求であった場合（ステップS1508）に、上記図42に示すキー入力処理が終了し、操作者によるキー入力が「セットキー」の入力であった場合（ステップS1505）に、上記図42に示すキー入力処理のステップS1114又はS1129に進むことになる。

【0316】ステップS1114に進んだ場合、すなわちTVモードであり、且つ上述したメニュー選択処理（ステップS1113）にて設定項目確定した場合、システム制御回路191は、メニュー選択処理（ステップS1113）にて確定した項目が「言語」の選択であるか否かを判別する（ステップS1114）。この判別の結果、「言語」の選択であった場合には、言語選択処理を行う（ステップS1115）。尚、ステップS1115の言語選択処理についての詳細は後述する。

【0317】ステップS1114の判別の結果、「言語」の選択でなかった場合、システム制御回路191は、上記確定した項目が「TV信号タイプ（入力タイプ）」の選択であるか否かを判別する（ステップS1116）。この判別の結果、「TV信号タイプ（入力タイプ）」の選択であった場合には、入力タイプ選択（コンボジット信号入力、及びYC分離信号入力の選択）処理を行う（ステップS1117）。

【0318】ステップS1116の判別の結果、「TV信号タイプ（入力タイプ）」の選択でなかった場合、システム制御回路191は、上記確定した項目が「音質」の選択であるか否かを判別する（ステップS1118）。この判別の結果、「音質」の選択であった場合には、音質選択処理を行う（ステップS1119）。

【0319】ステップS1118の判別の結果、「音質」の選択でなかった場合、システム制御回路191は、上記確定した項目が「コントラスト調整」の選択であるか否かを判別する（ステップS1120）。この判別の結果、「コントラスト調整」の選択であった場合には、コントラスト調整処理を行う（ステップS1121）。

【0320】ステップS1120の判別の結果、「コントラスト調整」の選択でなかった場合、システム制御回路191は、上記確定した項目が「明るさ（明度）調整」の選択であるか否かを判別する（ステップS1122）。この判別の結果、「明るさ（明度）調整」の選択であった場合には、明るさ調整処理を行う（ステップS1123）。

【0321】ステップS1122の判別の結果、「明るさ（明度）調整」の選択でなかった場合、システム制御回路191は、上記確定した項目が「彩度調整」の選択であるか否かを判別する（ステップS1124）。この

判別の結果、“彩度調整”の選択であった場合には、彩度調整処理を行う（ステップS1125）。

【0322】ステップS1124の判別の結果、“彩度調整”の選択でなかった場合、システム制御回路191は、上記確定した項目が“色相調整”の選択であるか否かを判別する（ステップS1126）。この判別の結果、“色相調整”の選択であった場合には、色相調整処理を行う（ステップS1127）。

【0323】そして、ステップS1126の判別の結果、上記確定した項目が“色相調整”の選択でなかった場合、すなわちメニュー選択処理（ステップS1113）にて確定した項目が、上述のようにして判別処理した項目以外のものであった場合、システム制御回路191は、直ちに本処理を終了する。

【0324】上述したステップS1115の言語選択処理について具体的に説明する。この言語選択処理は、例えば、上記図45に示すような処理である。

【0325】すなわち、先ず、表示部15に対して、言語選択画面をOSD表示させ（ステップS1601）、操作者によりキー入力部192でキー入力があるまでウェイトする（ステップS1602）。

【0326】操作者からのキー入力があると、そのキー入力が「TV/PC切り換えキー」又は「音量UPキー」又は「音量DOWNキー」の入力であるか否かを判別する（ステップS1603）。この判別の結果、操作者によるキー入力が「TV/PC切り換えキー」、「音量UPキー」及び「音量DOWNキー」の何れかのキー入力であった場合には、ステップS1602に戻る。

【0327】ステップS1603の判別の結果、操作者によるキー入力が「TV/PC切り換えキー」、「音量UPキー」及び「音量DOWNキー」の何れでもなかった場合、操作者によるキー入力が「メニューキー」又は「セットキー」の入力であるか否かを判別する（ステップS1604）。この判別の結果、操作者によるキー入力が「メニューキー」及び「セットキー」の何れかであった場合、上記図42のステップS1113のメニュー選択処理に戻る（ステップS1605）。

【0328】ステップS1604の判別の結果、操作者によるキー入力が「メニューキー」及び「セットキー」の何れでもなかった場合、操作者によるキー入力が「クリアキー」の入力であるか否かを判別する（ステップS1606）。この判別の結果、操作者によるキー入力が「クリアキー」の入力であった場合には、言語選択の設定を初期状態（本処理を始めたときの状態）に戻し（ステップS1607）、その後、ステップS1601に戻る。

【0329】ステップS1606の判別の結果、操作者によるキー入力が「クリアキー」の入力でなかった場合、操作者によるキー入力が「クリアキー」及び「セットキー」が同時に一定期間以上続けて押された入力であ

るかを判別する（ステップS1608）。この判別の結果、そうであった場合には、リセット要求であるとして、リセット処理を行って（ステップS1609）、この言語選択処理並びに上記図42のキー入力処理を終了する。

【0330】ステップS1608の判別の結果、リセット要求でなかった場合、操作者によるキー入力が「UPキー」の入力であるか否かを判別する（ステップS1610）。この判別の結果、操作者によるキー入力が「UPキー」の入力であった場合、言語選択の設定を前項目の設定にし（ステップS1611）、その後、ステップS1601に戻る。

【0331】ステップS1610の判別の結果、操作者によるキー入力が「UPキー」の入力でなかった場合、操作者によるキー入力が「DOWNキー」の入力であるか否かを判別する（ステップS1612）。この判別の結果、操作者によるキー入力が「DOWNキー」の入力であった場合、言語選択の設定を次項目の設定にし（ステップS1613）、その後、ステップS1601に戻る。

【0332】ステップS1610の判別の結果、操作者によるキー入力が「DOWNキー」の入力でなかった場合、すなわち操作者によるキー入力が、上述のようにして判別処理したキー入力の何れでもなかった場合、何も行わずにステップS1601に戻る。

【0333】尚、上記図42のキー入力処理において、上述した言語選択処理以外の処理、すなわちステップS1117の入力タイプ選択処理、ステップS1119の音質選択処理、ステップS1121のコントラスト調整処理、ステップS1123の明るさ調整処理、ステップS1125の彩度調整処理、及びステップS1127の色相調整処理についても、上記図45に示した処理と同様の処理を行う。このとき、処理によっては、例えば、ステップS1607において、言語設定の項目を初期状態に戻す処理の代わりに、調整値を初期値に戻す処理となる。また、ステップS1611及びステップS1613においても同様に、調整値をアップ又はダウンする処理になる。

【0334】以上が、上記図42のステップS1112の判別処理により、現在TVモードであると判別された場合の処理である。

【0335】一方、このステップS1112の判別処理により、現在PCモードであると判別された場合、システム制御回路191は、上述のTVモードの場合と同様に、上記図44に示したようなメニュー選択処理を行う（ステップS1128）。このメニュー選択処理を行った結果、設定項目確定となった場合（ステップS1505の判別処理の結果）、システム制御回路191は、メニュー選択処理（ステップS1128）にて確定した項目が“言語”の選択であるか否かを判別する（ス

テップS1129)。この判別の結果、“言語”の選択であった場合には、上記図45に示したような言語選択処理を行う(ステップS1130)。

【0336】ステップS1129の判別の結果、“言語”の選択でなかった場合、システム制御回路191は、上記確定した項目が“音質”の選択であるか否かを判別する(ステップS1131)。この判別の結果、“音質”の選択であった場合には、音質選択(ノーマル/シュミレートステレオ/サラウンドステレオ等)処理を行う(ステップS1132)。

【0337】ステップS1131の判別の結果、“音質”の選択でなかった場合、システム制御回路191は、上記確定した項目が“ γ 値”の選択であるか否かを判別する(ステップS1133)。この判別の結果、“ γ 値”の選択であった場合には、 γ 選択処理を行う(ステップS1134)。

【0338】ステップS1134の判別の結果、“ γ 値”の選択でなかった場合、システム制御回路191は、上記確定した項目が“階調”の選択であるか否かを判別する(ステップS1135)。この判別の結果、“階調”の選択であった場合には、階調選択処理を行う(ステップS1136)。

【0339】ステップS1135の判別の結果、“階調”の選択でなかった場合、システム制御回路191は、上記確定した項目が“位相調整”の選択であるか否かを判別する(ステップS1137)。この判別の結果、“位相調整”の選択であった場合には、位相調整処理を行う(ステップS1138)。

【0340】ステップS1137の判別の結果、“位相調整”の選択でなかった場合、システム制御回路191は、上記確定した項目が“表示位置調整”の選択であるか否かを判別する(ステップS1139)。この判別の結果、“表示位置調整”の選択であった場合には、位置調整(水平表示開始、垂直表示開始、水平表示幅等)処理を行う(ステップS1140)。

【0341】ステップS1139の判別の結果、“表示位置調整”の選択でなかった場合、システム制御回路191は、上記確定した項目が“DPMS調整”の選択であるか否かを判別する(ステップS1141)。この判別の結果、“DPMS調整”の選択であった場合には、DPMS調整(オン/オフ、オフモード移行時間、サスペンドモード移行時間等)処理を行う(ステップS1142)。

【0342】ステップS1141の判別の結果、“DPMS調整”の選択でなかった場合、システム制御回路191は、上記確定した項目が“機種(マニュアル機種)”の選択であるか否かを判別する(ステップS1143)。この判別の結果、“機種(マニュアル機種)”の選択であった場合には、機種設定処理を行う(ステップS1144)。

【0343】そして、ステップS1143の判別の結果、“機種(マニュアル機種)”の選択でなかった場合、すなわちメニュー選択処理(ステップS1128)にて確定した項目が、上述のようにして判別処理した項目以外のものであった場合、システム制御回路191は、直ちに本処理を終了する。

【0344】尚、上述したように、各種判別処理、OSD表示の制御、及び各種調整選択処理制御等は、システム制御回路191において行われる。

【0345】以上説明したように、本実施の形態では、入力された画像データを、表示部15の表示パネル506の表示解像度に合わせた解像度に変換するために、補間処理回路105で画素の補間処理を行う際、入力された画像データの色空間を、RGBからY(輝度)、R-Y及びB-Y(色差)に変換してから、解像度変換のための補間演算を行なっている。このように構成する事により、人間の視覚特性を利用し、色差信号R-Y及びB-Yに対しては、輝度信号Yと比較して、簡単な回路構成の補間フィルタを使用しても良好な変換特性を得ることが可能となる。したがって、回路規模の縮小と、補間フィルタとしての変換良好な特性の実現とを両立できる。

【0346】尚、上述した実施の形態では、解像度変換のために、2種類の補間フィルタとして、3次畳み込み補間法によるものと、線形補間法によるものをを用いたが、これに限らず、例えば、IIRフィルタを高性能の要求される一方の補間フィルタとし、FIRフィルタを他方の補間フィルタに用いてもよい。

【0347】また、本発明は、上述したような表示装置への適用に限られることはない。すなわち、補間フィルタにより解像度を変換するものであればよい。

【0348】また、本発明の目的は、上述した実施の形態のホスト及び端末の機能を実現するソフトウェアのプログラムコードを記憶した記憶媒体を、システム或いは装置に供給し、そのシステム或いは装置のコンピュータ(又はCPUやMPU、上述した実施の形態では装置全体の動作制御を行うシステム制御回路191等)が記憶媒体に格納されたプログラムコードを読みだして実行することによっても、達成されることは言うまでもない。この場合、記憶媒体から読み出されたプログラムコード自体が上述した実施の形態の機能を実現することとなり、そのプログラムコードを記憶した記憶媒体は本発明を構成することとなる。

【0349】プログラムコードを供給するための記憶媒体としては、ROM、フロッピーディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモ리카ード等を用いることができる。

【0350】また、コンピュータが読みだしたプログラムコードを実行することにより、上述した実施の形態の

機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼動しているOS等が実際の処理の一部又は全部を行い、その処理によって実施の形態の機能が実現される場合も含まれることは言うまでもない。

【0351】さらに、記憶媒体から読み出されたプログラムコードが、コンピュータに挿入された拡張機能ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部又は全部を行い、その処理によって上述した実施の形態の機能が実現される場合も含まれることは言うまでもない。

【0352】

【発明の効果】本発明では、画素数の変換（解像度変換）を行う際に、入力された画像データ（デジタル画像データ）の色空間を、その色空間とは異なる第1の色空間に変換し、その変換で得られた第1の画像データの各色信号に対して、各々解像度変換を行う。このとき、ある色信号に対しては、他の色信号に対する変換方式とは異なる方式で解像度変換を行う。そして、解像度変換後の第1の画像データを、さらにその第1の色空間とは異なる第2の色空間に変換する。

【0353】例えば、三原色（RGB）信号からなる入力画像データを、輝度（Y）信号と色差（R-Y、B-Y）信号からなる第1の画像データに変換し、その第1の画像データの輝度（Y）信号と色差（R-Y、B-Y）に各々解像度変換を行う。このとき、視覚特性を考慮して選択された特性の異なる補間法により、各色信号に対する解像度変換を行う。具体的には、輝度（Y）信号と比較して、色差（R-Y、B-Y）信号の空間周波数特性が良くない、という人間の視覚特性を利用して、輝度（Y）信号に対しては、3次畳み込み補間法を用いた解像度変換を行い、色差（R-Y、B-Y）に対しては、線形補間法を用いた解像度変換を行う。そして、解像度変換後の第1の画像データを、表示装置等に適した三原色（RGB）信号からなる第2の画像データに変換する。このように、人間の視覚特性を利用することで、色差（R-Y、B-Y）信号に対する解像度変換を、輝度（Y）に対する解像度変換と比較して、簡単な構成で実施したとしても、良好な変換特性を得ることができ、表示装置等において、良好な画質で入力画像を表示することができる。

【0354】したがって、本発明によれば、回路規模の縮小と、良好な変換特性の実現とを両立でき、良好な画質を保ちつつ、回路規模を小型化することができる。

【図面の簡単な説明】

【図1】本発明に係る解像度変換方法を実施した表示装置の構成を示すブロック図である。

【図2】上記表示装置の同期測定回路の構成を示すブ

ック図である。

【図3】上記同期測定回路のFIFOの記憶内容を説明するための図である。

【図4】上記同期測定回路のレジスタの記憶内容を説明するための図である。

【図5】上記表示装置のA/D変換回路の構成を示すブロック図である。

【図6】上記表示装置のクロック発生回路の構成を示すブロック図である。

【図7】上記表示装置で扱うビデオ信号の一例（例1）を説明するための図である。

【図8】上記表示装置で扱うビデオ信号の一例（例2）を説明するための図である。

【図9】上記ビデオ信号に含まれる同期信号の一例（例1）を説明するための図である。

【図10】上記ビデオ信号に含まれる同期信号の一例（例2）を説明するための図である。

【図11】上記ビデオ信号に含まれる同期信号の一例（例3）を説明するための図である。

【図12】上記表示装置での同期信号の変化に応じた表示動作の制御の大きな流れを説明するための図である。

【図13】上記表示動作の制御において、同期信号変化測定モジュールを説明するためのフローチャートである。

【図14】上記表示動作の制御において、表示モード判別及び制御モジュールを説明するためのフローチャートである。

【図15】上記表示モード判別において、表示モードの確認処理を説明するためのフローチャートである。

【図16】上記表示装置の補間処理回路で用いる線形補間法を説明するための図である。

【図17】上記表示装置の補間処理回路で用いる3次畳み込み補間法を説明するための図である。

【図18】上記線形補間法に対応するインパルス応答を説明するための図である。

【図19】上記3次畳み込み補間法に対応するインパルス応答を説明するための図である。

【図20】上記補間処理回路の構成を示すブロック図である。

【図21】上記補間処理回路の水平補間処理回路の構成を示すブロック図である。

【図22】上記水平補間処理回路の3次畳み込み補間処理回路の構成を示すブロック図である。

【図23】上記補間処理回路の垂直補間処理回路の構成を示すブロック図である。

【図24】上記垂直補間処理回路の垂直補間処理回路及び補間制御回路の構成を示すブロック図である。

【図25】上記垂直補間処理回路の演算回路の構成を示すブロック図である。

【図26】上記演算回路の指数演算回路の構成を示すブロック図である。

【図27】画像データの一部(例1)を説明するための図である。

【図28】画像データの一部(例2)を説明するための図である。

【図29】画像データの一部(例3)を説明するための図である。

【図30】画像データの一部(例4)を説明するための図である。

【図31】画像データの一部(例5)を説明するための図である。

【図32】画像データの一部(例6)を説明するための図である。

【図33】上記表示装置のデジタル画像処理回路及び表示部の構成を示すブロック図である。

【図34】上記デジタル画像処理回路のコントラスト調整回路での γ 補正処理を説明するための図である。

【図35】上記デジタル画像処理回路のコントラスト調整回路での階調調整処理を説明するための図である。

【図36】上記表示部の表示パネルにおけるOSD表示の一例(メニュー画面:例1)を説明するための図である。

【図37】上記表示部の表示パネルにおけるOSD表示の一例(メニュー画面:例2)を説明するための図である。

【図38】上記表示部の表示パネルにおけるOSD表示の一例(上記メニュー画面からの選択画面:例1)を説明するための図である。

【図39】上記表示部の表示パネルにおけるOSD表示の一例(上記メニュー画面からの選択画面:例2)を説明するための図である。

【図40】上記表示部の表示パネルでOSD表示するフォントサイズを説明するための図である。

【図41】上記OSD表示される項目を説明するための図である。

【図42】上記OSD表示画面上において、キー入力部からの操作に応じた処理(キー入力処理)を説明するためのフローチャートである。

【図43】上記キー入力部に設けられている各種キーの一例を説明するための図である。

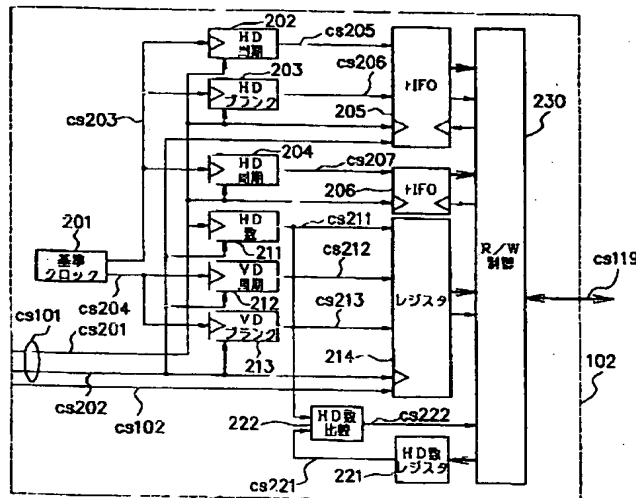
【図44】上記キー入力処理において、メニュー選択処理を説明するためのフローチャートである。

【図45】上記キー入力処理において、言語選択処理を説明するためのフローチャートである。

【符号の説明】

- 441 水平補間処理回路
- 4410 マトリクス回路
- 4411 3次元み込み補間処理回路
- 4412、4413 線形補間処理回路
- 4414、4415 遅延調整回路
- 4416 逆マトリクス回路

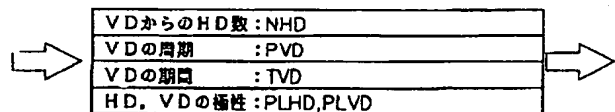
【図2】



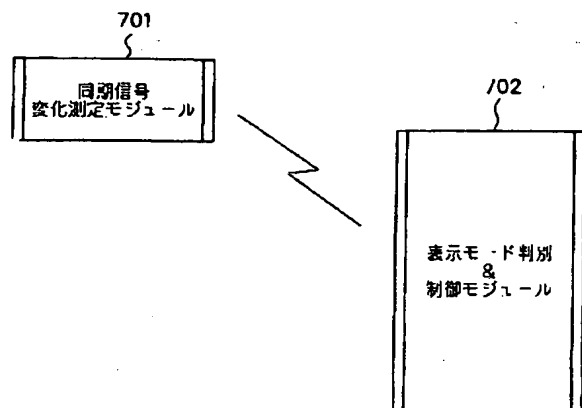
【図16】



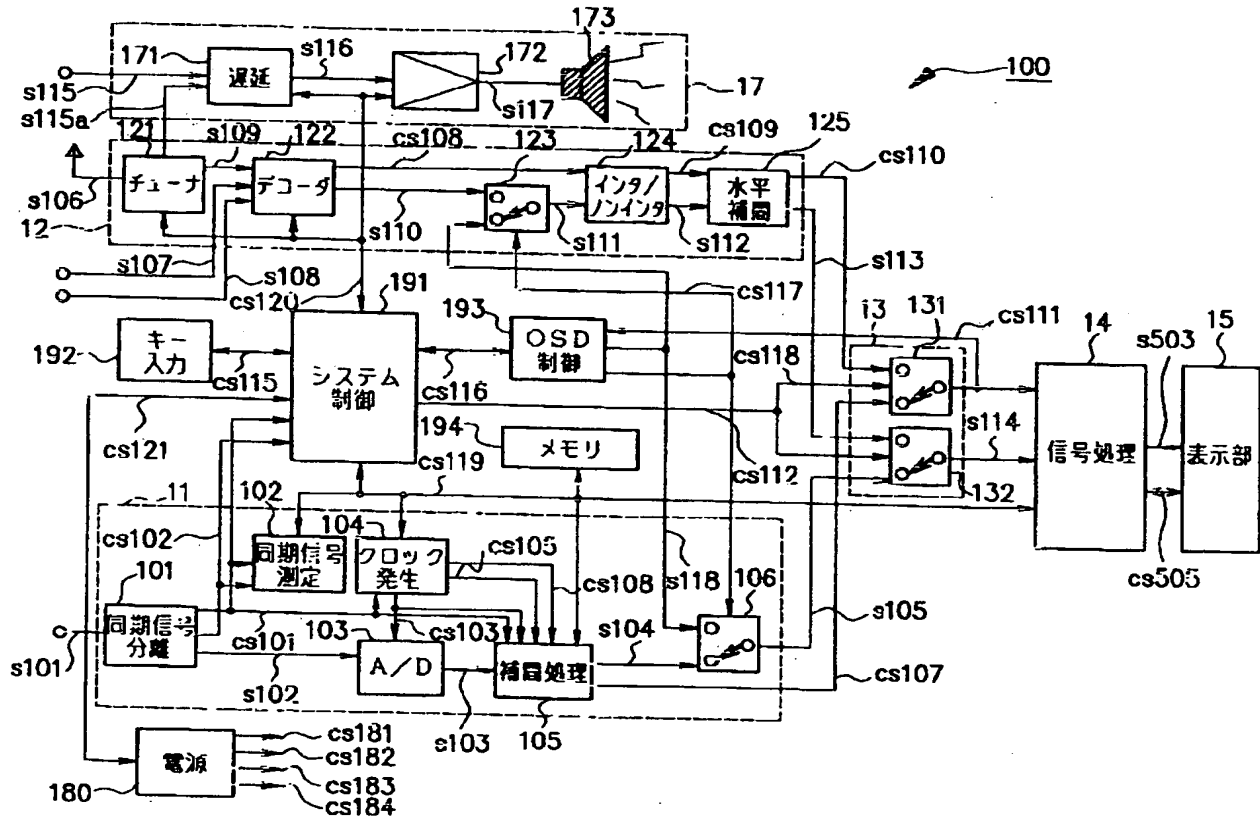
【図4】



【図12】

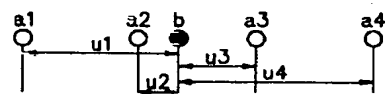
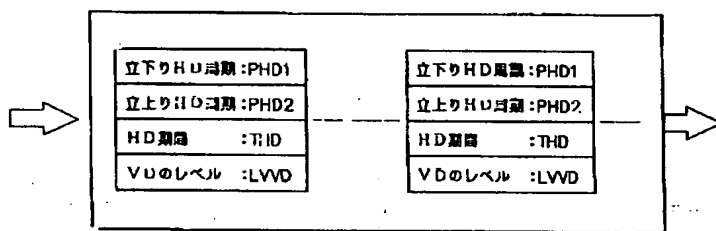


【図1】



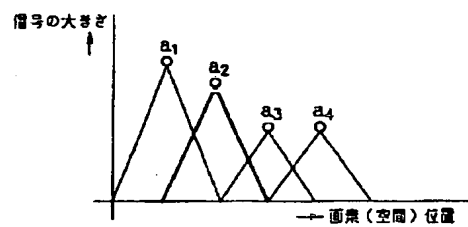
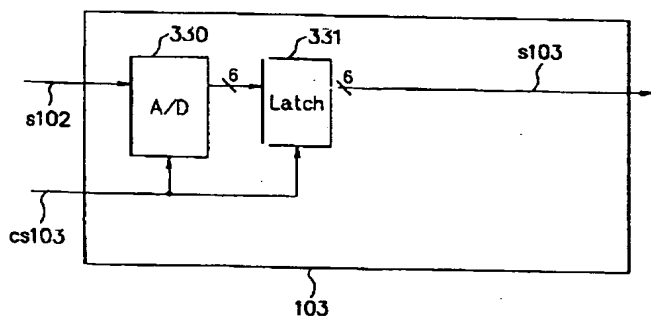
【図3】

【図17】

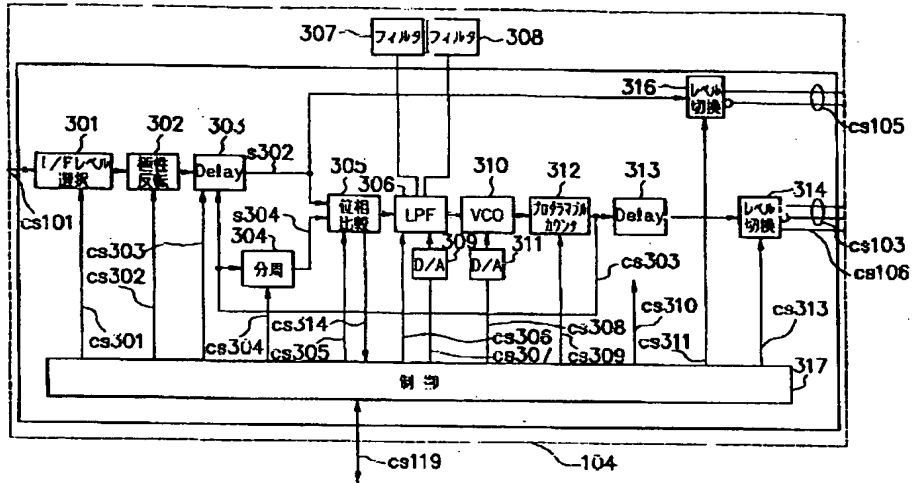


【図5】

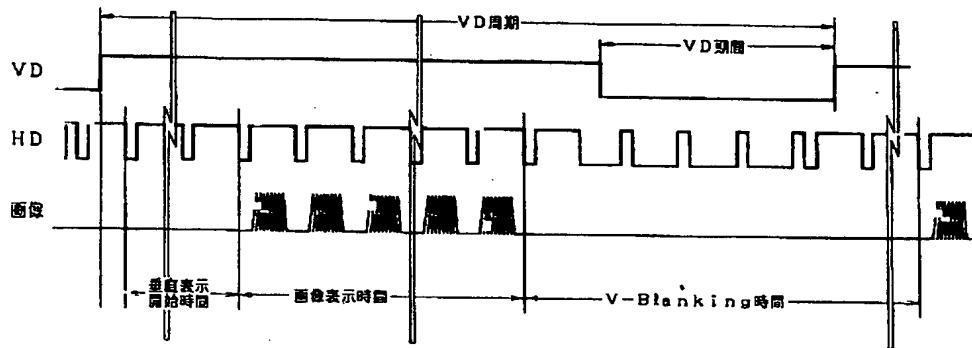
【図18】



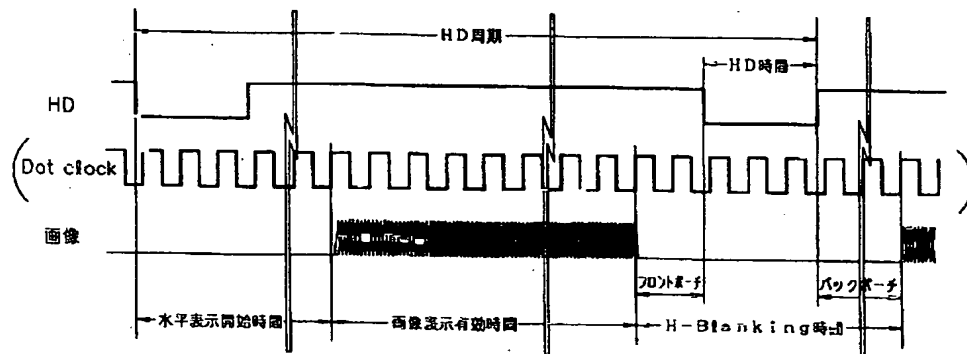
【図6】



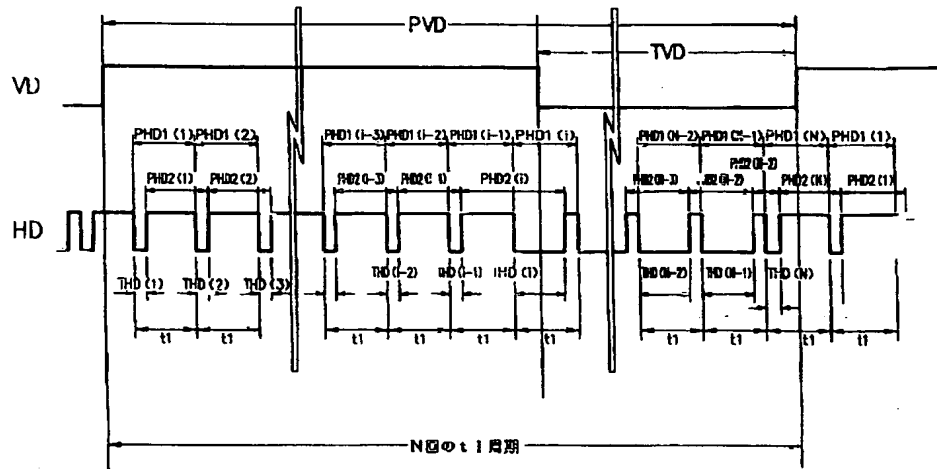
【図7】



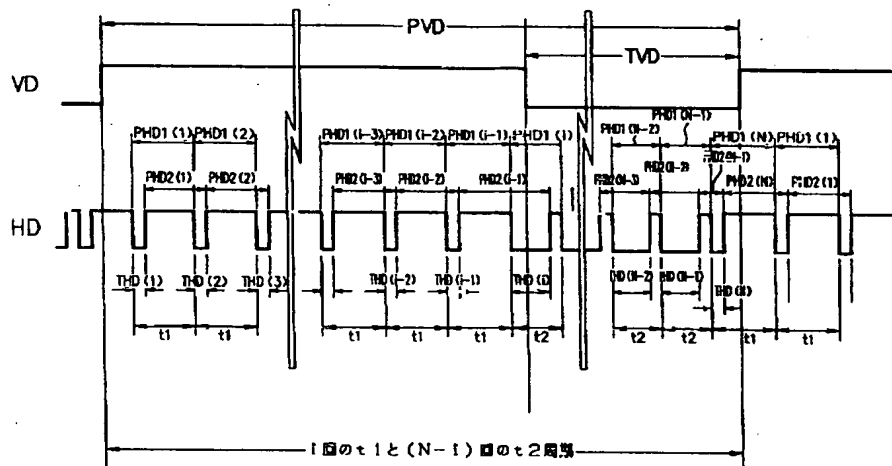
【図8】



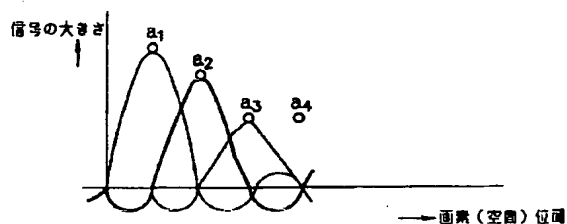
【図9】



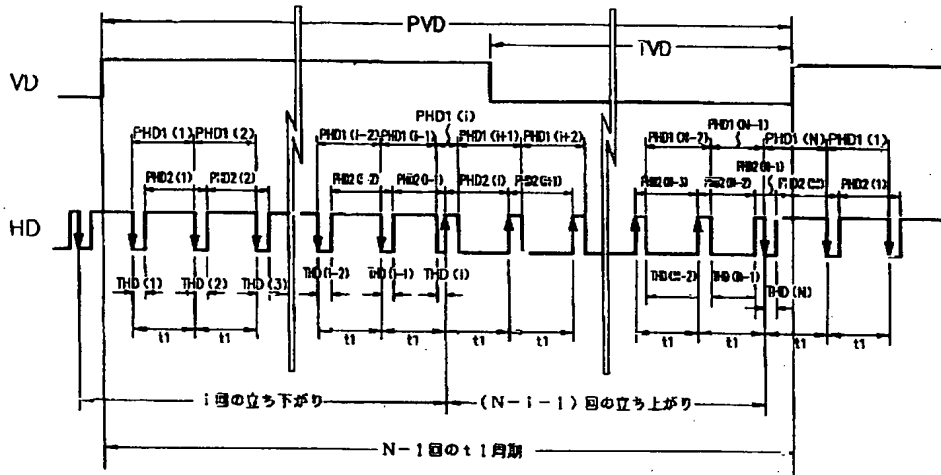
【図10】



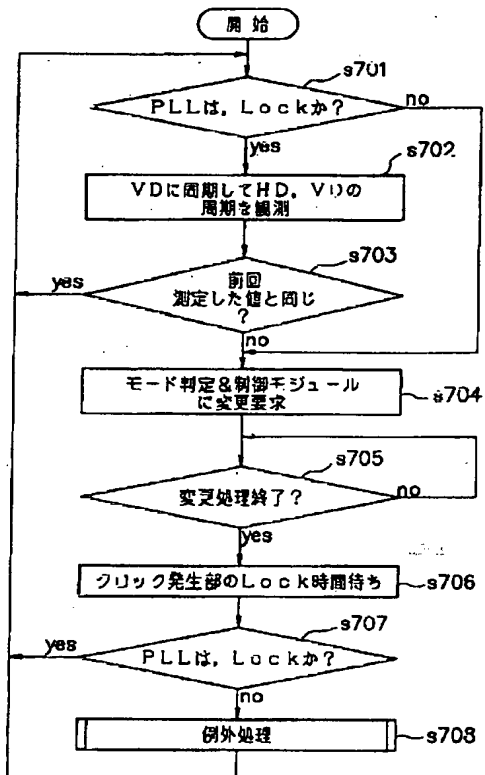
【図19】



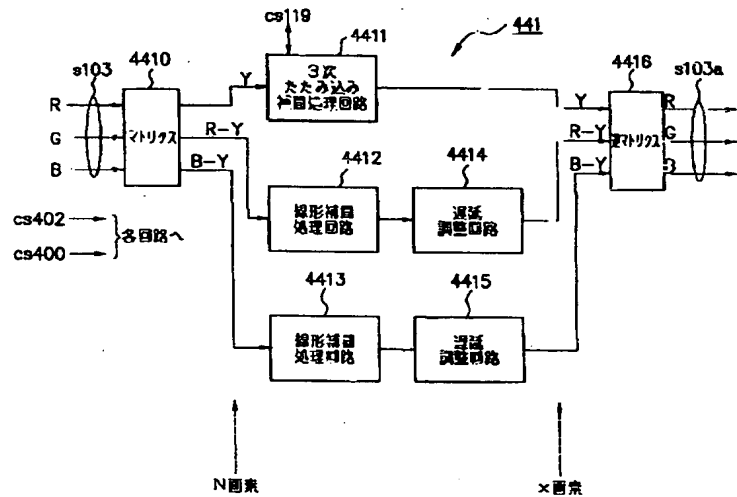
【図11】



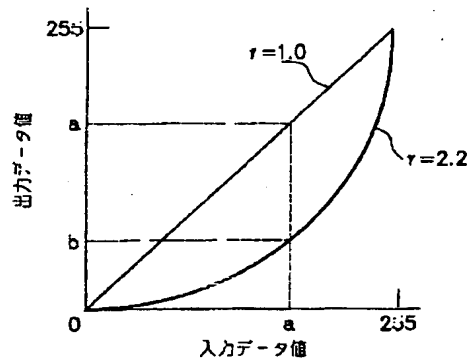
【図13】



【図21】

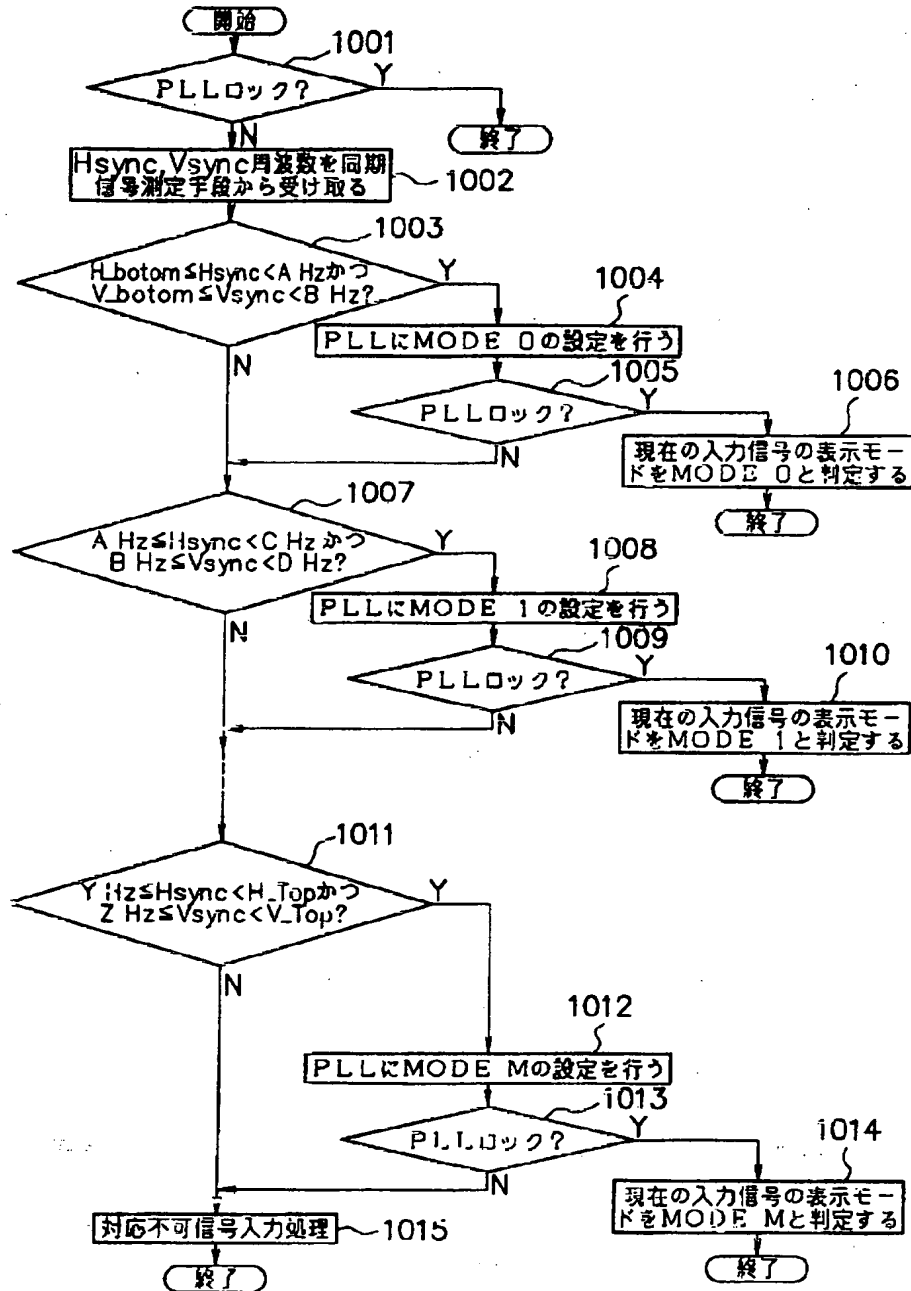


【図34】

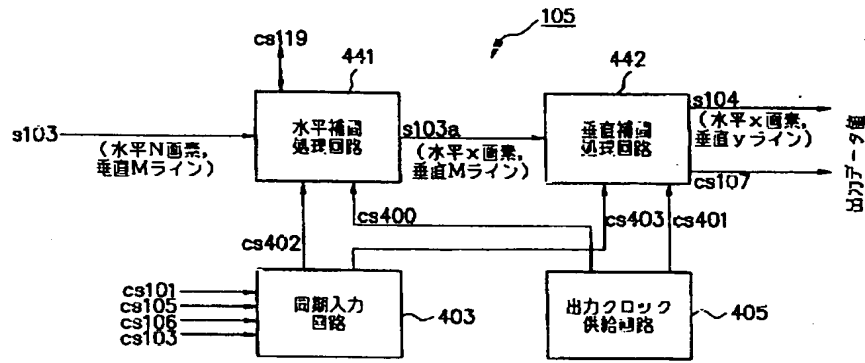


[illegible]

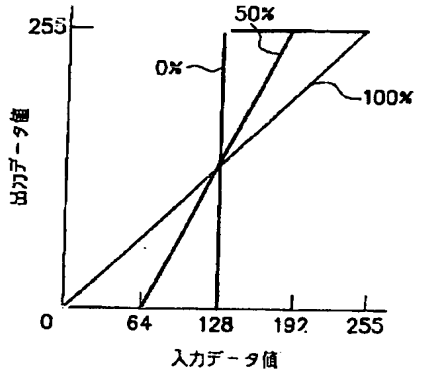
【図15】



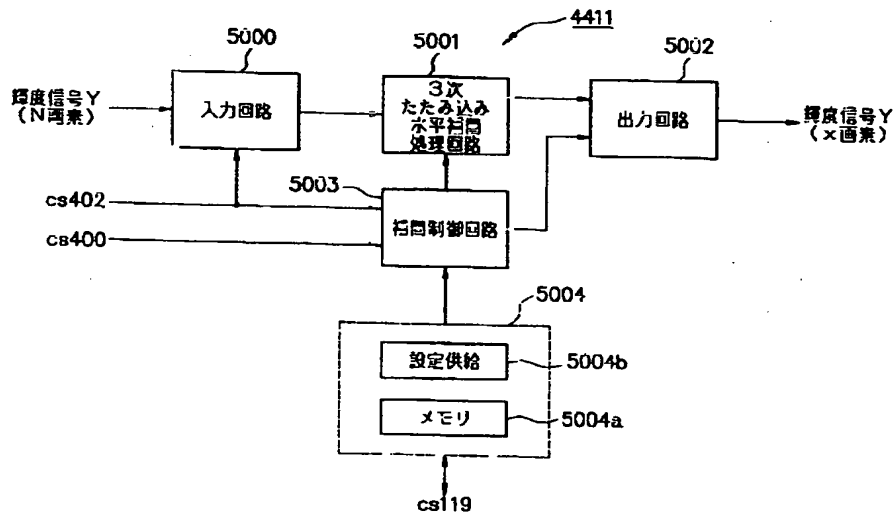
【図20】



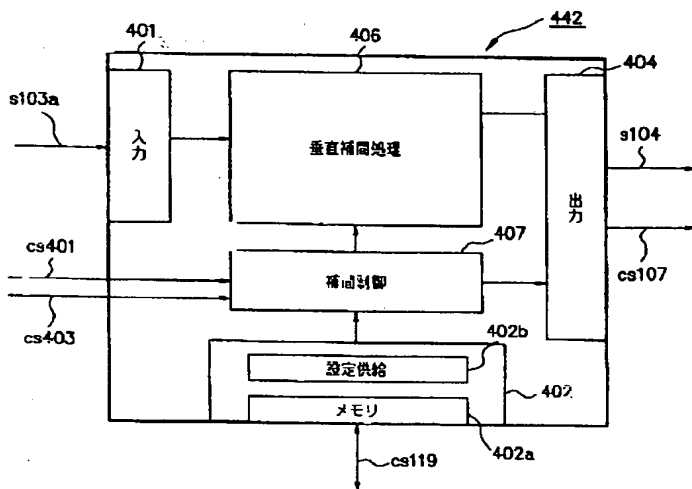
【図35】



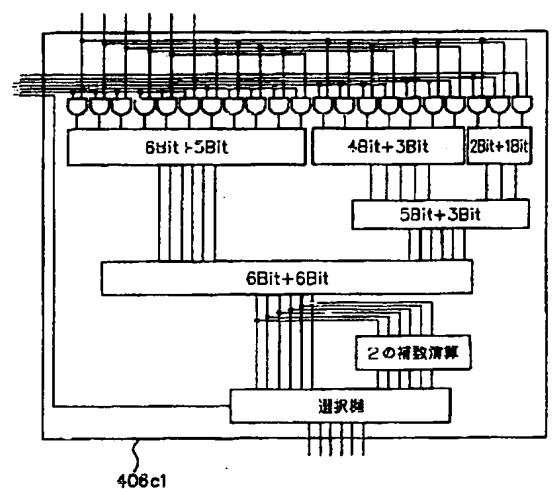
【図22】



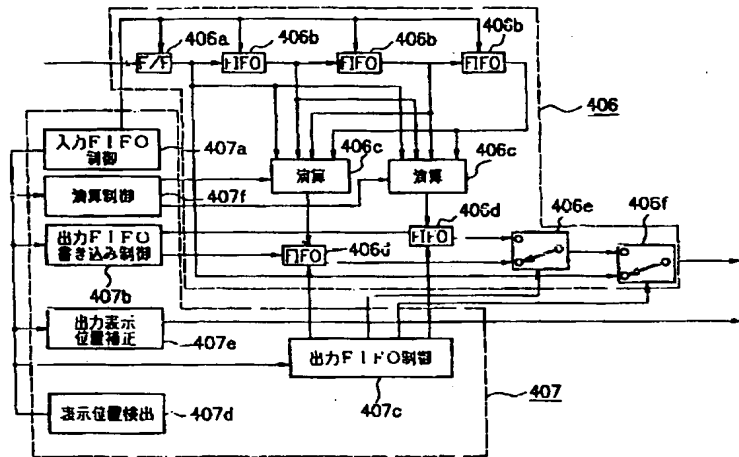
【図23】



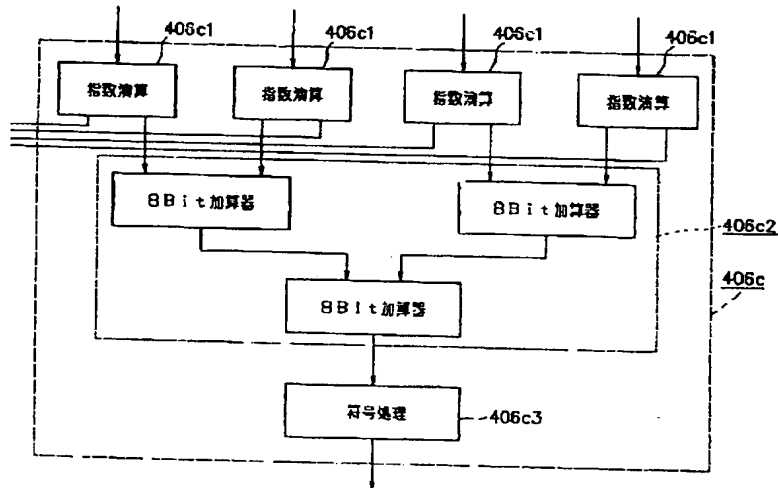
【図26】



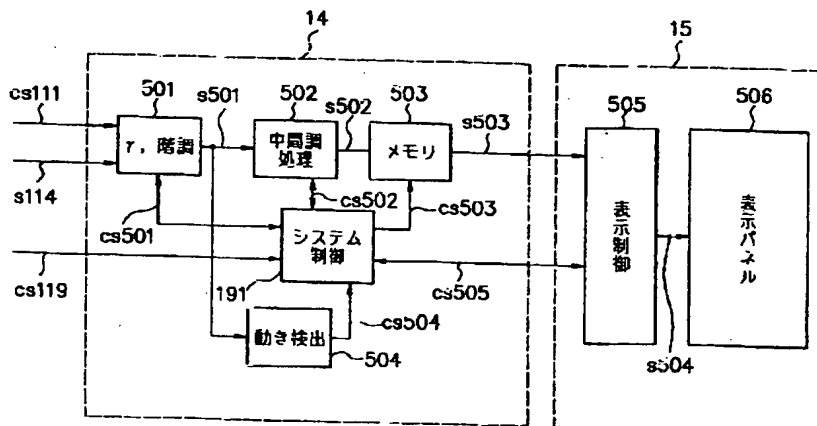
【図24】



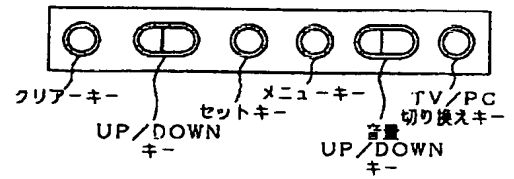
【図25】



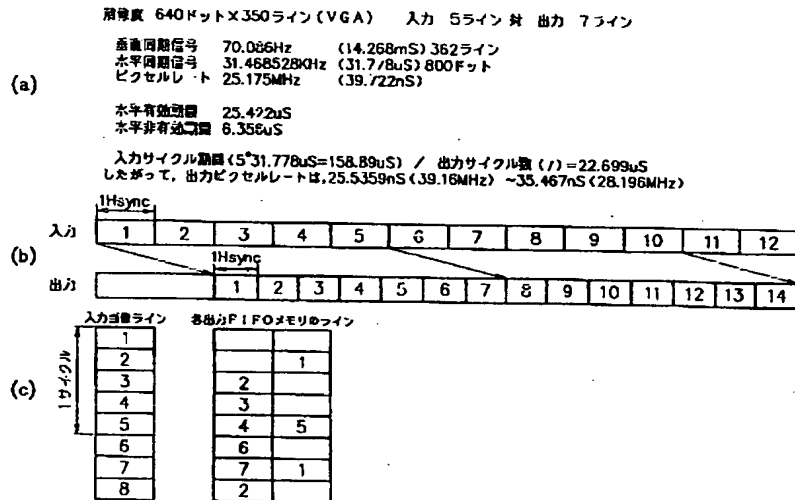
【図33】



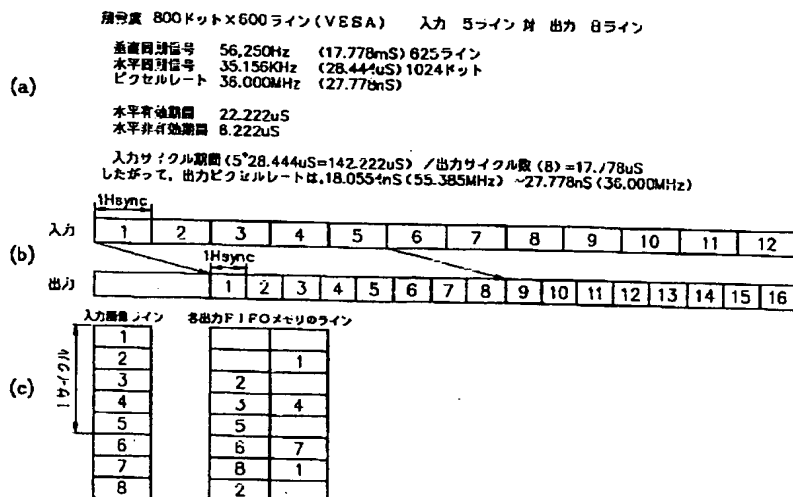
【図43】



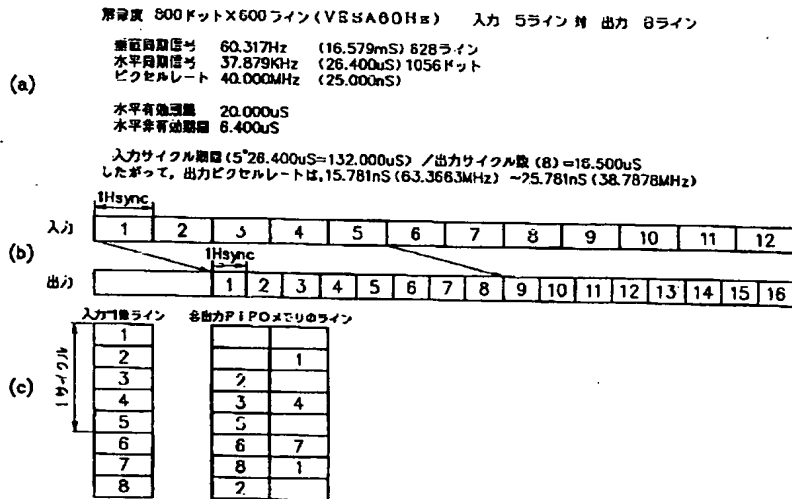
【図27】



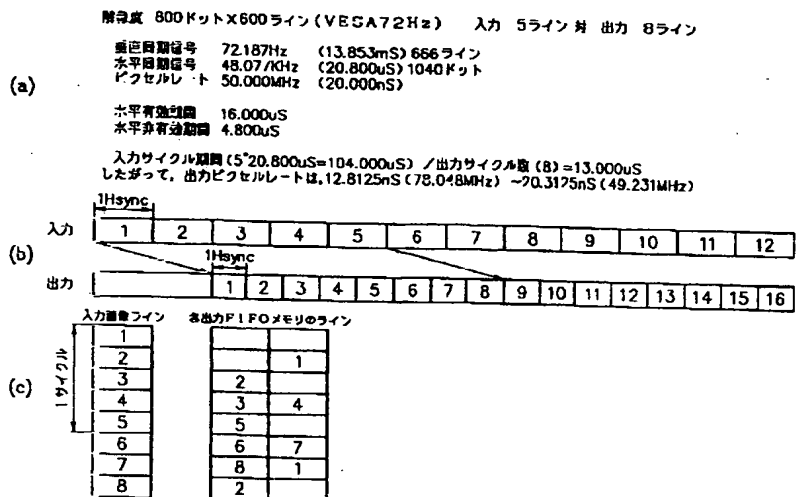
【図28】



【図29】

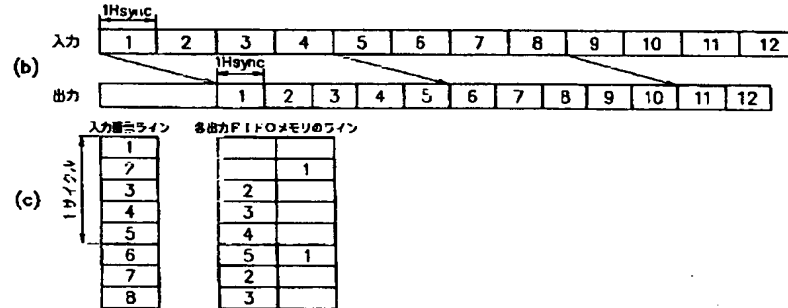


【図30】



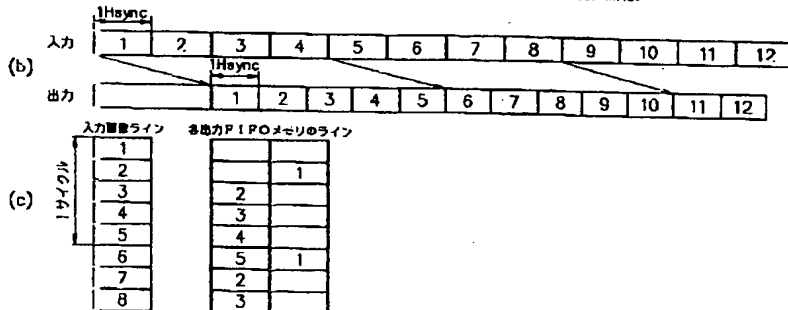
【図31】

- 解像度 1024ドット×768ライン(VESA) 入力 4ライン 出力 5ライン
- 垂直同期信号 70.089Hz (14.272mS) 806ライン
 水平同期信号 56.476KHz (17.707 μ S) 1328ドット
 ピクセルレート 75.000MHz (13.333nS)
- (a) 水平有効期間 13.653 μ S
 水平非有効期間 4.053 μ S
- 入力サイクル期間 (4)17.707 μ S=70.828 μ S / 出力サイクル数 (5)=14.1656 μ S
 したがって、出力ピクセルレートは、15.801nS (63.2MHz) ~22.134nS (45.2MHz)

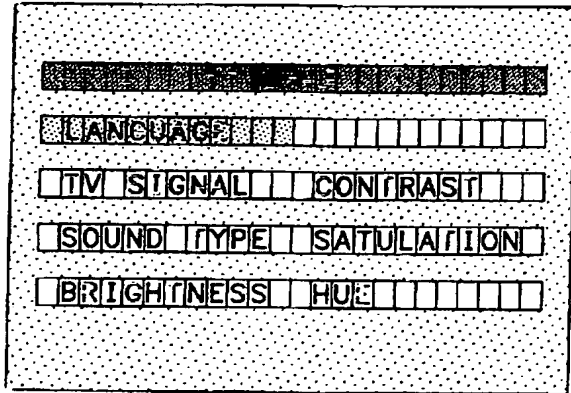


【図32】

- 解像度 1024ドット×768ライン(MAC) 入力 4ライン 出力 5ライン
- 垂直同期信号 75.10Hz (13.3298mS) 803ライン
 水平同期信号 60.24KHz (16.8 μ S) 1328ドット
 ピクセルレート 80.00MHz (12.5nS)
- (a) 水平有効期間 12.8 μ S
 水平非有効期間 3.8 μ S
- 入力サイクル期間 (4)16.6 μ S=66.4 μ S / 出力サイクル数 (5)=13.28 μ S
 したがって、出力ピクセルレートは、14.6125nS (67.5MHz) ~20.75nS (48.2MHz)

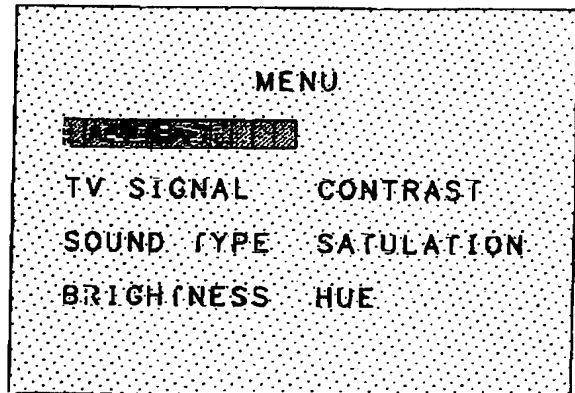


【図36】



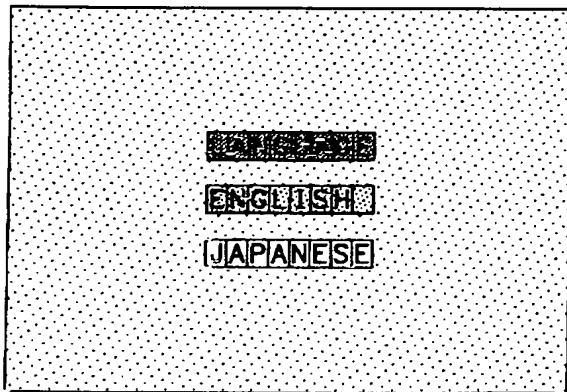
表示装置サイズ

【図37】



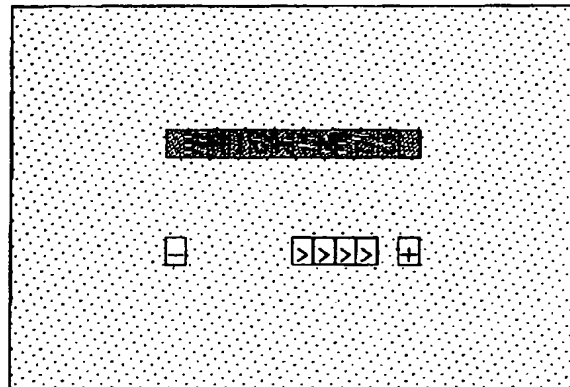
表示装置サイズ

【図38】



表示装置サイズ

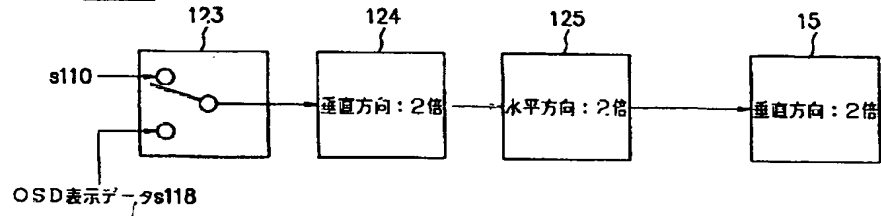
【図39】



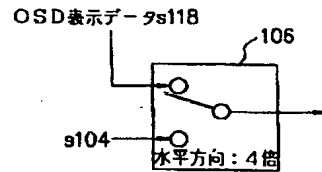
表示装置サイズ

【図40】

(a) TV信号表示



(b) コンピュータ入力信号表示



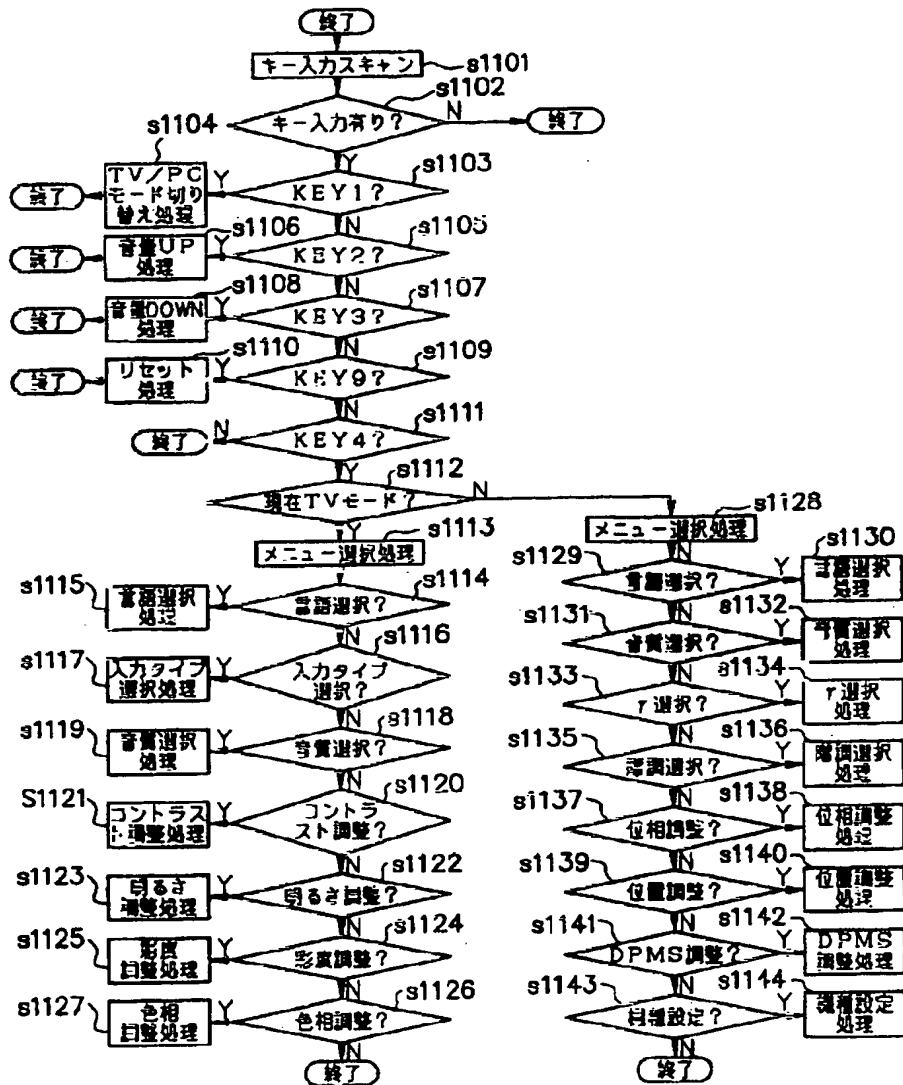
【図41】

ビデオ信号入力 (TVモード)	コンピュータ信号入力 (PCモード)
1: TVに切り替え	1: PCに切り替え
2: 音量調整	2: 表示不可信号入力
3: テーパ選択メニュー	3: 音量調整
4: 言語選択	4: モード選択メニュー
5: TV信号タイプ選択 (コンジット信号/ YC分離信号)	5: 言語 (英語/日本語) 選択
6: 音質 (ノーマル/シミュレートステレオ/ サラウンドステレオ)	6: 音質 (ノーマル/シミュレートステレオ/ サラウンドステレオ)
7: コントラスト調整	7: r 値選択
8: 明度調整	8: 飽和選択
9: 彩度調整	9: 位相調整
10: 色相調整	10: 表示位置調整 (水平表示開始, 垂直表示開始, 水平表示幅)
	11: DPMS (オン/オフ, オフモード移行時間, サスペンドモード移行時間) 選択
	12: マニュアル機種選択

【図42】

KEY1: TV/PC切り替えキー
 KEY2: 音量UPキー
 KEY3: 音量DOWNキー
 KEY4: メニューキー

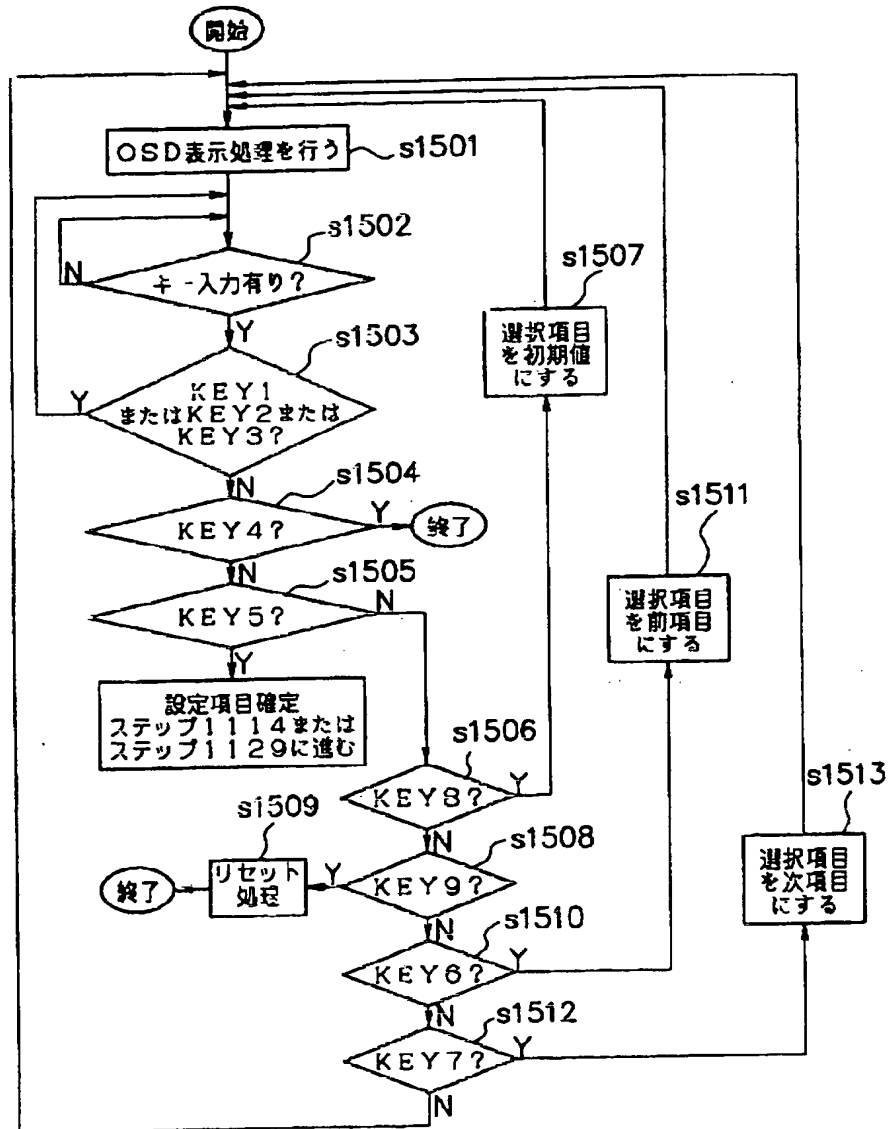
KEY5: セットキー
 KEY6: UPキー
 KEY7: DOWNキー
 KEY8: クリアキー
 KEY9: リセットキー



【図44】

KEY1: TV/PC切り替えキー
 KEY2: 音量UPキー
 KEY3: 音量DOWNキー
 KEY4: メニューキー

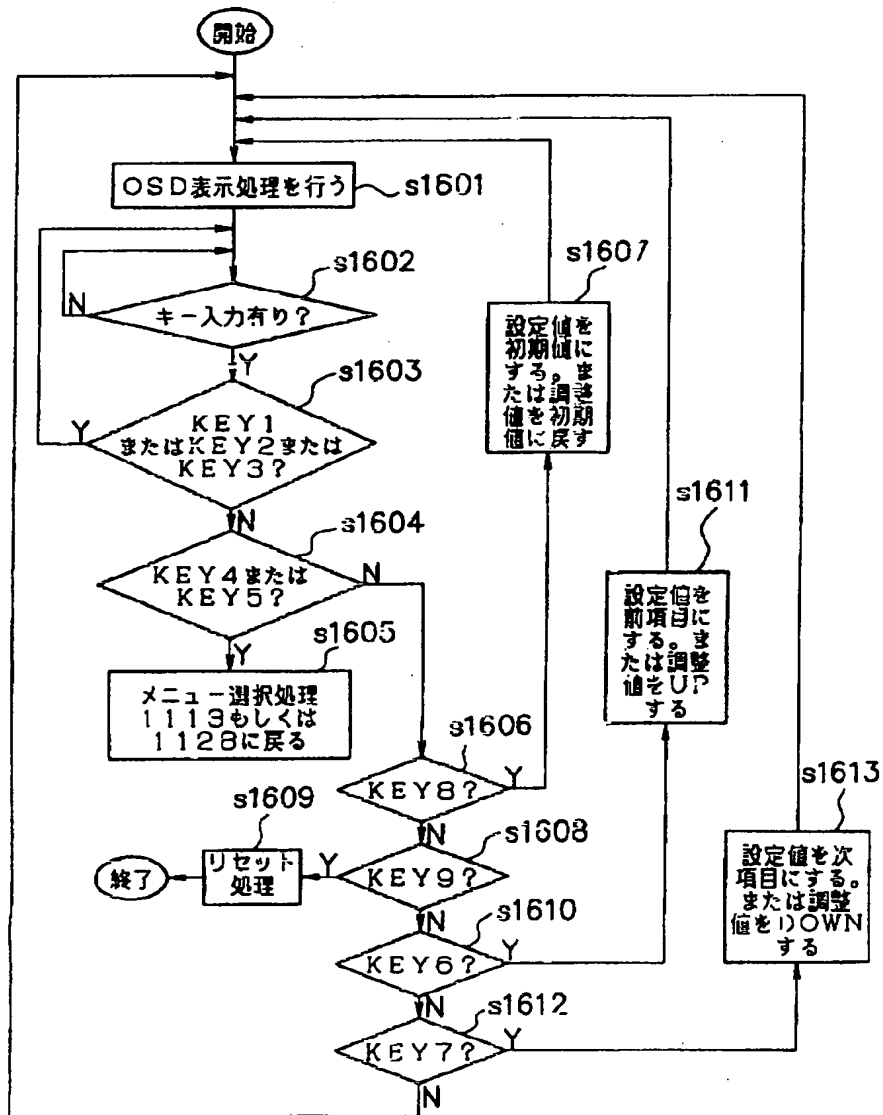
KEY5: セットキー
 KEY6: UPキー
 KEY7: DOWNキー
 KEY8: クリアキー
 KEY9: リセットキー



【図45】

KEY1: TV/PC切り替えキー
KEY2: 音量UPキー
KEY3: 音量DOWNキー
KEY4: メニューキー

KEY5: セットキー
KEY6: UPキー
KEY7: DOWNキー
KEY8: クリアキー
KEY9: リセットキー



フロントページの続き

(51)Int.Cl.⁶

H04N 9/64

11/20

識別記号

FI

H04N 1/40

1/46

D

Z